

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of : **Kazutomo HASEGAWA et al.**

Filed : **Concurrently herewith**

For : **RESYNCHRONOUS CONTROL APPARATUS OF
SUBSCRIBER COMMUNICATION MACHINE,
AND RESYNCHRONIZING METHOD**

Serial No. : **Concurrently herewith**

December 20, 2000

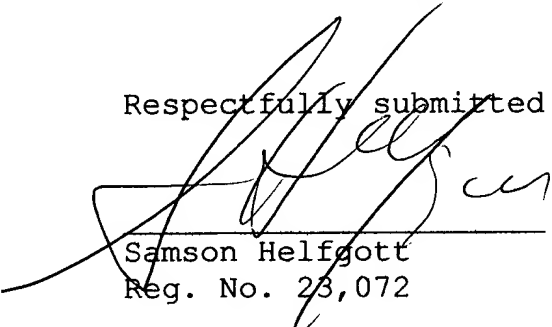
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith are Japanese patent application No.
2000-074620 of March 16, 2000 whose priority has been claimed in
the present application.

Respectfully submitted



Samson Helfgott
Reg. No. 23,072

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.:FUJS18.126
LHH:priority

Filed Via Express Mail
Rec. No.: EL522397724US
On: December 20, 2000
By: Lydia Gonzalez

Any fee due as a result of this paper,
not covered by an enclosed check may be
charged on Deposit Acct. No. 08-1634.



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC654 U.S. PTO
09/742940
12/20/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 3月16日

出 願 番 号

Application Number:

特願2000-074620

出 願 人

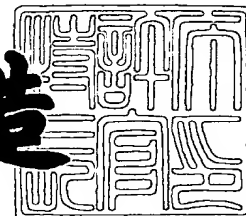
Applicant (s):

富士通株式会社

2000年 9月18日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3073915

【書類名】 特許願

【整理番号】 9903287

【提出日】 平成12年 3月16日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 7/08
H04L 5/14

【発明の名称】 加入者側通信装置における再同期制御装置および再同期方法

【請求項の数】 14

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 長谷川 一知

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 三好 清司

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 小泉 伸和

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100092978

【弁理士】

【氏名又は名称】 真田 有

【電話番号】 0422-21-4222

【手数料の表示】

【予納台帳番号】 007696

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704824

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 加入者側通信装置における再同期制御装置および再同期方法

【特許請求の範囲】

【請求項 1】 局側通信装置との間で既存の通信回線を介し通信を行なう加入者側通信装置において、

該局側通信装置との通信の同期外れを検出する同期外れ検出部と、

該同期外れ検出部にて該同期外れが検出されると、該通信回線を介して受信される受信データと、既に該局側通信装置から送信され保持した保持データとで相関処理を行なう相関処理部と、

該相関処理部での相関処理により同期タイミングを特定して該局側通信装置との通信の再同期を確立する再同期制御部とが設けられていることを特徴とする、加入者側通信装置における再同期制御装置。

【請求項 2】 該相関処理部が、

定常通信時に該局側通信装置から受信される信号データを保持する信号保持部と、

該信号保持部に保持された保持データと、上記の同期外れ検出後に受信される受信データとの相関を演算することにより、該保持データと相関の高い受信データを検出する相関演算部とをそなえていることを特徴とする、請求項 1 記載の加入者側通信装置における再同期制御装置。

【請求項 3】 該信号保持部が、

該定常通信時における或る区間の受信データの平均値を該保持データとして保持するように構成されていることを特徴とする、請求項 2 記載の加入者側通信装置における再同期制御装置。

【請求項 4】 該相関処理部が、

該保持データの絶対値の最大値もしくは該最大値に任意のマージン値を加えた値を保持する信号データ最大値保持部と、

上記の同期外れ検出後に受信される受信データの絶対値が、該信号データ最大値保持部に保持された値以下である区間についてのみ、該相関演算部による該相関演算を実行させる最大値判定型相関演算制御部とをそなえていることを特徴と

する、請求項 2 又は請求項 3 に記載の加入者側通信装置における再同期制御装置。

【請求項 5】 該相関処理部が、

該保持データの絶対値の最小値もしくは該最小値に任意のマージン値を加えた値に任意の係数を乗じた値と、その値と該保持データの絶対値との大きさ比較結果とを保持する信号データ最小値保持部と、

該大きさ比較結果で該保持データの絶対値の方が大きいサンプルにおいて、1 シンボルすべての上記同期外れ検出後に受信される受信データの絶対値が、該保持データの絶対値の最小値もしくは該最小値に任意のマージン値を加えた値に該係数以下の任意の係数を乗じた値よりも大きい区間についてのみ、該相関演算部による該相関演算を実行させる最小値判定型相関演算制御部とをそなえていることを特徴とする、請求項 2 又は請求項 3 に記載の加入者側通信装置における再同期制御装置。

【請求項 6】 該相関処理部が、

上記の同期外れが検出されると、該同期外れ検出後に受信される受信データのうちの先頭側および末尾側の各サイクリックプリフィックス長分の信号データの相関に基づいて、当該信号データのフレーム境界を検出するフレーム境界検出部と、

該フレーム境界検出部で検出されたフレーム境界により特定されるフレーム単位で該相関演算部による該相関演算を実行させるフレーム境界検出型相関演算制御部とをそなえていることを特徴とする、請求項 2 又は請求項 3 に記載の加入者側通信装置における再同期制御装置。

【請求項 7】 該加入者側通信装置が、

該局側通信装置からの受信データについて所定の等化係数を更新しながら適応的に等化处理を施す等化器をそなえたとともに、

該再同期制御部が、

上記の同期外れ検出後、該再同期を確立するまで、該等化係数の更新を行なわせないように構成されていることを特徴とする、請求項 1 ～ 6 のいずれか 1 項に記載の加入者側通信装置における再同期制御装置。

【請求項 8】 該加入者側通信装置が、

該局側通信装置からの受信データについて所定の利得係数を更新しながら適応的に利得増幅処理を施す利得増幅部をそなえとともに、

該再同期制御部が、

上記の同期外れ検出後、該再同期を確立するまで、該利得係数の更新を行なわせないように構成されていることを特徴とする、請求項 1 ～ 6 のいずれか 1 項に記載の加入者側通信装置における再同期制御装置。

【請求項 9】 該再同期制御部が、

該同期外れ検出部にて該同期外れが検出されると、該再同期を確立するまで、該局側通信装置への送信を停止させるように構成されていることを特徴とする、請求項 1 ～ 6 のいずれか 1 項に記載の加入者側通信装置における再同期制御装置。

【請求項 1 0】 局側通信装置との間で既存の通信回線を介し通信を行なう加入者側通信装置において、

該局側通信装置との同期外れを検出する同期外れ検出ステップと、

該同期外れ検出ステップで該同期外れが検出されると、該通信回線を介して受信される受信データと、既に該局側通信装置から送信され保持した保持データとで相関処理を行なう相関処理ステップと、

該相関処理ステップでの相関処理により同期タイミングを特定して該局側通信装置との通信の再同期を確立する再同期制御ステップとを実行することを特徴とする、加入者側通信装置における再同期方法。

【請求項 1 1】 該相関処理ステップが、

該定常通信時に該局側通信装置から受信される信号データを保持しておく信号保持ステップと、

該保持データと、上記の同期外れ検出後に受信される受信データとの相関を演算することにより、該保持データと相関の高い受信データを検出する相関演算ステップとを有していることを特徴とする、請求項 1 0 記載の加入者側通信装置における再同期方法。

【請求項 1 2】 該相関演算ステップが、

該局側通信装置から受信される受信データの絶対値が、該保持データの絶対値の最大値もしくは該最大値に任意のマージン値を加えた値以下である区間についてのみ、該相関演算を実行することを特徴とする、請求項 1 1 記載の加入者側通信装置における再同期方法。

【請求項 1 3】 該相関演算ステップが、

該保持データの絶対値の最小値もしくは該最小値に任意のマージン値を加えた値に任意の係数を乗じた値と、その値と該保持データの絶対値との大きさ比較を行ない、その比較結果で、該保持データの方が大きいサンプルにおいて、1 シンボルすべての上記同期外れ検出後に受信される受信データの絶対値が、該保持データの最小値もしくは該最小値に任意のマージン値を加えた値に該係数以下の任意の係数を乗じた値よりも大きい区間についてのみ、該相関演算を実行することを特徴とする、請求項 1 1 記載の加入者側通信装置における再同期方法。

【請求項 1 4】 該相関処理ステップが、

上記の同期外れ検出後に該局側通信装置から受信される受信データのうちの先頭側および末尾側の各サイクリックプリフィックス長分の信号データの相関に基づいて、該局側通信装置から受信される信号データのフレーム境界を検出するフレーム境界検出ステップを有するとともに、

該相関演算ステップが、

該フレーム境界検出ステップで検出されたフレーム境界により特定されるフレーム単位で該相関演算を実行することを特徴とする、請求項 1 1 記載の加入者側通信装置における再同期方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、加入者線などの所定の通信回線上で、例えば、ISDNピンポン伝送〔時間圧縮多重化（TCM：Time Compression Multiplex）伝送〕などにおける伝送周期と同期して通信を行ないうる加入者側通信装置に用いて好適な、再同期制御装置および再同期方法に関する。

【0 0 0 2】

【従来の技術】

近年、インターネット等のマルチメディア型サービスが一般家庭を含めた社会全体へと広く普及してきており、このようなサービスを利用するための経済的で信頼性の高いデジタル加入者線伝送技術の早期提供が強く求められている。ここで、通信回線を新たに敷設するためには、膨大なコストと時間が必要となるので、既存の通信回線を利用して高速にデータ通信を行なう方法が種々提案されている。

【0003】

例えば、既設の電話回線を高速データ通信回線として利用するデジタル加入者線伝送技術として、近年、xDSL(Digital Subscriber Line)が注目されている。このxDSLは、既存の加入者線を利用した伝送方式であり、また、変復調技術の一つでもある。xDSLには、大きく分けて、加入者宅(以下、加入者側という)から収容局(以下、局側という)への上り伝送速度と、局側から加入者側への下り伝送速度が、対称のものと非対称のものとに分類される。

【0004】

例えば、対称型のものには、上り／下りの伝送速度がともに1.5～2.0Mbps(メガビット/秒)程度のHDSL(High-bit-rate DSL)や、160k～2.0Mbps程度のSDSL(Single-line DSL)などがあり、非対称型のものには、最近、試験運用が盛んに行なわれているADSL(Asymmetric DSL)がある。ここで、このADSLには、さらに、下り伝送速度が6Mbps程度の「G.dmt」と1.5Mbps程度の「G.lite」(簡易版ADSLとも呼ばれる)とがあるが、どちらもDMT(Discrete Multiple Tone)変調と呼ばれる特有の変調方式が採用されている。

【0005】

このDMT変調方式とは、簡単に説明すると、伝送周波数帯域を約4kHz毎のサブキャリア(「G.lite」の場合、条件にもよるが、下り方向は最大で128本近くのキャリア)に分割して、それぞれのキャリアに変調を加える方式である。このDMT変調方式では、特定の周波数をもつノイズの影響により或るサブキャリアが使用不能になっても、他のサブキャリアでの通信が可能なので、特定周

波数のノイズに強いという特徴がある。

【 0 0 0 6 】

以下、このようなDMT変調方式を採用するADSL伝送システムの詳細について説明する。

(1) ADSL伝送システムの説明

図6はADSL伝送システムの一例を示すブロック図で、この図6に示すADSL伝送システムは、局側610に設置されたADSL装置650と加入者側620に設置されたADSL装置660とがメタリック回線（電話回線）70を介して相互に接続されて構成されている。なお、以下、局側610のADSL装置650を「局側ADSL装置650」、加入者側620のADSL装置660を「加入者側ADSL装置660」と称する場合がある。また、局側610及び加入者側620を特に区別しない場合には、単に「ADSL装置650, 660」と表記する。

【 0 0 0 7 】

そして、この図6に示すように、局側ADSL装置650には、送信装置（送信側ブロック）910として、シリアルーパラレルバッファ(Serial to Parallel Buffer)10, エンコーダ(Encoder)20, 逆高速フーリエ変換器(IFFT: Inverse Fast Fourier Transformer)30, パラレルーシリアルバッファ(Parallel to Serial Buffer)40, デジタル／アナログ(D/A)コンバータ50および送信ビットマップメモリ60が設けられている。

【 0 0 0 8 】

一方、加入者側ADSL装置660には、受信装置（受信側ブロック）960として、A/Dコンバータ80, 時間等化器(TEQ: Time-domain Equalizer)90, シリアルーパラレルバッファ100, 高速フーリエ変換器(FFT: Fast Fourier Transformer)110, 周波数等化器(FEQ: Frequency-domain Equalizer)120, デコーダ(Decoder)130, パラレルーシリアルバッファ140, 受信ビットマップメモリ150, AGC(Automatic Gain Controller)160および乗算器170, 180が設けられている。

【 0 0 0 9 】

なお、この図 6 では、局側から加入者側への下り方向についての構成しか示していないが、実際は、局側 ADSL 装置 6 5 0 には、上記の加入者側 ADSL 装置 6 6 0 における受信装置 9 6 0 と同等の機能をもった受信装置が設けられ、加入者側 ADSL 装置 6 6 0 には局側 ADSL 装置 6 5 0 における送信装置 9 1 0 と同等の機能をもった送信装置が設けられており、上り方向の通信についても、原理的には下り方向の通信と同様にして行なわれるようになっているものとする。また、ここでは、簡易版 ADSL (G.lite) の場合を例にして説明する。

【 0 0 1 0 】

まず、局側 ADSL 装置 6 5 0 において、送信ビットマップメモリ 6 0 は、生成すべき DMT 信号の各 (サブ) キャリアに対する伝送ビットの割り当てを規定したデータ (ビットマップ) を保持しておくものであり、シリアルーパラレルバッファ 1 0 は、シリアルデータである送信データを 1 シンボル時間 ($1 / 4 \text{ kHz}$) 分だけ格納するとともに、格納したデータをパラレルデータに変換して出力するもので、このとき、上記の送信ビットマップメモリ 6 0 に格納されている送信ビットマップに従って、各キャリアに対する伝送ビット数の割り当て (周波数帯の分割) が行なわれるようになっている。例えば、サブキャリア数を $C_0 \sim C_i$ の $i + 1$ 本とすると、図 6 では、上記パラレルデータのうちのビットグループ b_i がサブキャリア C_i で伝送されるべきビットグループとして割り当てられることを表わしている。

【 0 0 1 1 】

なお、上記のサブキャリアの中には、例えば図 7 に示すように、パイロットトーンと呼ばれるタイミング同期用のキャリアが含まれる場合がある [簡易版 ADSL の下り方向の場合は 1 2 8 本のキャリアの中心 (6 4 番目) に位置するキャリアがパイロットトーンである]。このパイロットトーンは、タイミング同期用の信号のみの伝送に用いられるので、送信ビットマップメモリ 6 0 にはパイロットトーン用のデータは存在しない。

【 0 0 1 2 】

また、エンコーダ 2 0 は、このシリアルーパラレルバッファ 1 0 から出力されるパラレルデータに対して直交振幅変調 [例えば、QAM (Quadrature Amplitud

e Modulation)) などの所定の変調処理を、上記の送信ビットマップに従って上記サブキャリア毎に施すためのものであり、IFFT30は、このエンコーダ20から出力されるデータ（周波数領域のデータ）に対して逆高速フーリエ変換を施すことにより、そのデータを時間領域のデータに変換してDMT信号を得るものである。つまり、これらのエンコーダ20及びIFFT30は、送信データをDMT変調するDMT変調部として機能するのである。

【0013】

さらに、パラレルーシリアルバッファ40は、上記のIFFT30において逆高速フーリエ変換が施されたデータ（DMT信号）をシリアルデータに変換するとともに、後述するサイクリックプリフィックス(Cyclic Prefix)を付加するためのものであり、D/Aコンバータ50は、このパラレルーシリアルバッファ40の出力（シリアルデータ）を所定（例えば、1.104MHz）のサンプリング周波数を用いてアナログ信号に変換するもので、得られたアナログ信号はメタリック回線70へ出力される。

【0014】

一方、加入者側ADSL装置660において、（アナログ信号用）乗算器170は、メタリック回線70を介して局側ADSL装置650から受信されるアナログ信号に対して任意の係数を乗算するためのものであり、A/Dコンバータ80は、この乗算器170の出力（アナログ信号）を所定（例えば、1.104MHz）のサンプリング周波数でサンプリングすることによりデジタル信号に変換するためのものであり、（デジタル信号用）乗算器180は、このA/Dコンバータ80からのデジタル信号に対して任意の係数を乗算するためのものであり、AGC160は、上記の各乗算器170、180で乗算すべき係数を制御するためのものである。

【0015】

ここで、信号に対して任意の係数を乗算することは、その信号を増幅することと等価である。つまり、AGC160は、各乗算器170、180で乗算すべき係数を制御することで、メタリック回線70を通じて受信された信号の増幅利得を制御していることになる。なお、乗算器170におけるアナログ信号の増幅利

得（係数）をアナログ A G C 値、乗算器 1 8 0 におけるディジタル信号の増幅利得（係数）をディジタル A G C 値と呼ぶことにする。

【 0 0 1 6 】

次に、T E Q 9 0 は、例えば、F I R (Finite Impulse Response) フィルタを用いて構成される時間領域の等化器で、入力される信号に対するシンボル間干渉 (I S I : Inter Symbol Interference) がパラレルーシリアルバッファ 4 0 において付加されたサイクリックプリフィックス内に収まるように所定の処理を施す（詳細については後述）ためのものであり、シリアルーパラレルバッファ 1 0 0 は、この T E Q 9 0 から出力されたデータからサイクリックプリフィックスを除去した後、パラレルデータに変換して出力するためのものである。

【 0 0 1 7 】

また、F F T 1 1 0 は、上記のシリアルーパラレルバッファ 1 0 0 からの出力データを高速フーリエ変換によって周波数領域のデータに変換するためのものであり、F E Q 1 2 0 は、周波数領域の等化器で、上述のごとく F F T 1 1 0 により周波数領域に変換されたデータを、メタリック回線 7 0 の伝送特性（周波数特性）に応じて等化处理することにより、メタリック回線 7 0 を通ることによって受けた振幅および位相への影響を周波数の異なるキャリア毎に補償するためのものである。

【 0 0 1 8 】

さらに、デコーダ 1 3 0 は、上記の F E Q 1 2 0 の出力データに対して所定の復調処理（Q A M 復調など）を施すためのものであり、パラレルーシリアルバッファ 1 4 0 は、このデコーダ 1 3 0 から出力されたパラレルデータをシリアルデータに変換して出力するためのものであり、受信ビットマップメモリ 1 5 0 は、送信ビットマップメモリ 6 0 の送信ビットマップにより、送信側において各キャリアに割り当てられている各キャリアの伝送ビット数についての情報（受信ビットマップ）を保持しておくためのもので、この情報に基づいて上記のデコーダ 1 3 0 とパラレルーシリアルバッファ 1 4 0 とによる復調処理が実行されるようになっている。

【 0 0 1 9 】

以下、上述のごとく構成された A D S L 伝送システムの動作について説明する。

まず、局側送信装置 9 1 0 に送信データが入力されると、シリアルーパラレルバッファ 1 0 にその送信データが 1 シンボル時間 ($1 / 4 \text{ kHz}$) 分だけ保持される。保持されたデータは送信ビットマップ 6 0 で予め決められたキャリア当たりの伝送ビット数毎に分割されて、エンコーダ 2 0 に出力される。

【 0 0 2 0 】

エンコーダ 2 0 では、入力されたビット列をそれぞれ直交振幅変調するための信号点に変換して I F F T 3 0 に出力する。I F F T 3 0 では、このエンコーダ 2 0 の出力に対して逆高速フーリエ変換を施すことで、それぞれの信号点についての直交振幅変調が施されて、パラレルーシリアルバッファ 4 0 に出力される。なお、これらのエンコーダ 2 0 と I F F T 3 0 とにより、DMT 変調が施されることになる。

【 0 0 2 1 】

次に、パラレルーシリアルバッファ 4 0 は、上記 I F F T 3 0 の出力のうちの 1 6 サンプル (2 4 0 ~ 2 5 5 サンプル) をサイクリックプリフィックスとして DMT シンボルの先頭に付加する (詳細については後述)。このようにサイクリックプリフィックスが付加されたデータは、パラレルーシリアルバッファ 4 0 から D / A コンバータ 5 0 へ送られ、そこで、1. 1 0 4 M H z のサンプリング周波数を用いてアナログ信号に変換され、メタリック回線 7 0 を通じて加入者側受信装置 9 6 0 に伝送される。

【 0 0 2 2 】

一方、加入者側受信装置 9 6 0 では、メタリック回線 7 0 を通じて受信されたアナログ信号が、乗算器 1 7 0 で増幅された後、A / D コンバータ 8 0 により、1. 1 0 4 M H z のデジタル信号に変換されて、乗算器 1 8 0 に入力される。乗算器 1 8 0 は、入力されたデジタル信号を、再度、増幅して、T E Q 9 0 に出力する。このとき、A G C 1 6 0 では、これらの乗算器 1 7 0 および乗算器 1 8 0 において、それぞれの信号の大きさを測定して、それぞれの信号に対する A G C 値の設定および必要に応じた変更を行なう。

【 0 0 2 3 】

次に、TEQ90は、ISIが16サンプル分のサイクリックプリフィックス内のみに収まるように、乗算器180の出力を時間領域で等化处理して、シリアル-パラレルバッファ100に1DMTシンボル分だけ保持させる。シリアル-パラレルバッファ100では、TEQ90から入力された1DMTシンボル分のデータのうち、上記サイクリックプリフィックスを除去した後、残ったデータをパラレル信号に変換してFFT110に出力する。

【 0 0 2 4 】

FFT110では、上記シリアル-パラレルバッファ100の出力に対して高速フーリエ変換を行なって、時間領域の信号を周波数領域の信号点データに変換する。変換後の信号点データは、FEQ120において、メタリック回線70を通ることによって受けた振幅および位相への影響が周波数の異なるキャリア毎に補償された後、デコーダ130により、送信ビットマップと同じ値を保持している受信ビットマップメモリ150の受信ビットマップに従って復調される。そして、デコーダ130により復調されたデータは、パラレル-シリアルバッファ140に、一旦、保持されて、シリアルビット列に変換されて受信データとして出力される。

【 0 0 2 5 】

(2) 等化器の説明

(2-1) TEQ90の詳細説明

次に、以下では、上記TEQ90の役割について説明する。

図6により上述したパラレル-シリアルバッファ40に入力されるDMTシンボルが、例えば図8(A)に示すような状態であったとすると、パラレル-シリアルバッファ40では、図8(B)に示すように、このDMTシンボルの末尾の16サンプルを、DMTシンボルの先頭に複写する処理を行う。この複写された部分が前記のサイクリックプリフィックスである。

【 0 0 2 6 】

そして、図8(C)に示すように、上記サイクリックプリフィックスが付加されたDMTシンボルは、D/Aコンバータ50へ送られ、そこで1.104MHz

z のサンプリング周波数でアナログ信号に変換され、メタリック回線 7 0 を通じて加入者側 ADSL 装置 6 6 0 に伝送される。ここで、周波数に対する振幅特性および位相特性が一定ではないメタリック回線 7 0 を経由して受信された受信信号は、例えば図 8 (D) に示すように、ISI の影響を受けて歪んだ状態になっている。

【0027】

しかし、図 6 により上述した TEQ 9 0 が、図 8 (E) に示すように、ISI を 1 6 サンプルのサイクリックプリフィックス内のみ収めるような処理 (ISI の圧縮処理) を行ない、その後、シリアル-パラレルバッファ 1 0 0 にて上記サイクリックプリフィックスを除去することによって、図 8 (F) に示すように、ISI の影響を取り除いた DMT シンボルを得ることができる。

【0028】

TEQ 9 0 は、このようにサイクリックプリフィックスを用いて、受信信号から ISI の影響を取り除く働きをする。より詳細には、メタリック回線 7 0 は、高い周波数帯域において伝送特性が劣化する非線型の低域通過フィルタ (LPF : Low Pass Filter) 特性を有していることから、各シンボル間に存在する信号の不連続部分によって一定の長さのインパルス応答を生ずることになる。このインパルス応答は、データ信号と重畳されて信号の劣化の原因となる。

【0029】

そこで、シンボルの先頭に対して末尾の 1 6 ビット分を付加してサイクリックプリフィックスとする。すると、サイクリックプリフィックスとシンボルの接合部分は連続となるので、この部分に対してはインパルス応答が生じない。一方、サイクリックプリフィックスの先頭部分と、1 つ前のシンボルとの接合部分は不連続となることから、この部分に対してはインパルス応答が生じる。

【0030】

しかし、メタリック回線 7 0 と逆の特性である高域通過フィルタ (HPF : High Pass Filter) の特性を有する TEQ 9 0 に対して受信データを入力することにより、インパルス応答がサイクリックプリフィックス内に収まるようにできる。このようにして処理されたサイクリックプリフィックスを除去することにより

、インパルス応答の影響を受けていないデータを得ることができる。

【0031】

(2-2) TEQ90の適応動作アルゴリズム

上述したごとくTEQ90が図8(E)に示すようにISIを16サンプルのサイクリックプリフィックス内だけに収めるような処理をするためには、TEQ90にそのような特性を持たせるための適応動作が必要になる。このため、例えば図9に示すように、TEQ90には、適応動作専用のブロックとして、基準信号生成ブロック920、遅延器930、ターゲットチャネルブロック940および加算器950が設けられている。なお、この図9において、図6に示す符号と同一符号を付した部分は図6により上述したものと同一もしくは同様のものである。また、TEQ90以外の図6に示す受信側ブロック960の構成要素については、説明を簡略化するために、図9では図示を省略している。

【0032】

ここで、上記の基準信号生成ブロック920は、送信側ブロック910から過去に送信された送信信号（受信側ブロック960において既知の受信信号）と同じ信号 $x(t)$ を生成して出力するものであり、遅延器930は、この基準信号生成ブロック920で生成された基準信号 $x(t)$ を所定の時間だけ遅延して出力するものである。

【0033】

また、ターゲットチャネルブロック940は、TEQ90の特性を調節する際のターゲットとされ、遅延器930によって遅延された基準信号 $x(t)$ に対して、メタリック回線70とTEQ90の特性を合成した特性 $b(t)$ （ただし、メタリック回線70による遅延量は除く）を畳み込み積分して得られた結果 $b(t) * x(t)$ を出力するものであり、加算器950は、TEQ90の出力 $z(t)$ と、ターゲットチャネルブロック940の出力 $b(t) * x(t)$ との差分を算出し、得られた結果 $e(t)$ を、TEQ90とターゲットチャネルブロック940とにそれぞれ供給するもので、これにより、TEQ90とターゲットチャネルブロック940が、加算器950の出力 $e(t)$ が“0”になるようにそれぞれ適応動作を行なうようになっている。

【0034】

以下、上記のTEQ90の適応動作について説明する。

まず、送信側ブロック910から送信信号 $x(t)$ が送信されると、メタリック回線70を通して受信側ブロック960で受信される。そして、受信側ブロック960では、TEQ90によって受信信号にTEQ90の特性を加えて得られた結果 $z(t)$ が加算器950に対して供給される。

【0035】

一方、このとき、基準信号生成ブロック920では、送信信号と同じであると推測される基準信号 $x(t)$ を生成して出力する。遅延器930では、TEQ90の出力 $z(t)$ と、ターゲットチャネルブロック940の出力 $b(t) * x(t)$ の位相が一致するように、基準信号 $x(t)$ を所定量だけ遅延する。ターゲットチャネルブロック940では、特性 $b(t)$ を基準信号 $x(t)$ に対して畳み込み積分し、得られた結果 $b(t) * x(t)$ を加算器950に供給する。

【0036】

加算器950では、TEQ90の出力 $z(t)$ と、ターゲットチャネル940の出力 $b(t) * x(t)$ との差分 $e(t)$ を算出し、得られた結果をTEQ90とターゲットチャネルブロック940に供給する。TEQ90とターゲットチャネルブロック940では、加算器950から供給された差分 $e(t)$ に基づいて、適応動作を行なう。即ち、TEQ90とターゲットチャネル940は、加算器950からの出力 $e(t)$ が“0”になるように適応動作を実行する。

【0037】

この結果、TEQ90は、図8(E)に示すようにISIを16サンプルのサイクリックプリフィックス内だけに収めるような処理特性を有することになる。

(2-3) FEQの適応動作アルゴリズム

次に、ここでは、前記FEQ120の適応動作アルゴリズムの一例について説明する。

【0038】

前述したように、FEQ120は、周波数領域での等化器であり、周波数の異なる複数のキャリアがメタリック回線70を通ることで受けた影響（振幅特性お

よび位相特性の変化)を、全てのキャリアでその特性が等しくなるように等化処理を行なう。このため、FEQ 120には、上記キャリアに応じた数だけ図10に示す回路が設けられている。なお、この図10においても、図6に示す符号と同一符号を付した部分は図6により前述した部分に対応している。

【0039】

ここで、この図10において、係数器1010は、入力信号(受信信号)Y_iに対して係数W_iを乗算するためのものである。なお、上記の係数W_iの値は、加算器1020の出力により変更可能になっている。また、この図10において、判定部(Decision)1030は、入力信号Y_iが自己に対応すると推定される判定値X_iを検出して出力するものであり、加算器1020は、この判定部1030の出力X_iと、係数器1010の出力Z_iとの差分E_iを演算し、その結果に応じて係数器1010の係数W_iを設定するためのものである。

【0040】

上述のごとく構成された回路では、デコーダ130に、FEQ 120の出力Z_iを入力することにより判定値X_iが求められ、加算器1020により、この判定値X_iとFEQ出力Z_iとの差分E_iが求められ、この差分E_iが“0”になるように、係数器1010の係数W_iが調節される。この結果、上述した周波数領域での等化処理が適応的に行なわれることになる。なお、上記のデコーダ130は、判定値X_iをビット列b_iに変換して、このビット列b_iを図6に示すパラレル-シリアルバッファ140に供給する。

【0041】

(3) ISDNピンポン伝送回線からの漏話

ところで、ADSLは既設の通信回線を利用する技術であるため、例えば図1に示すように、上記メタリック回線70(以下、ADSL回線70ともいう)の近くにISDNピンポン伝送回線[TCM(Time Compression Multiplex)回線]70'が存在する(具体的には、同一ケーブル内にADSL回線70とTCM回線とが平行して敷設されている)場合がある。このような場合、ADSL回線70はTCM回線70'から漏話(TCMクロストーク)の影響を受ける。

【0042】

即ち、TCM伝送では、例えば図12(A)に示すような400Hzの信号〔TTR(TCM-ISDN Timing Reference)〕310に同期して、図11に示す局側ISDN装置630がTTR310の前半のサイクルで下りデータを送信し、後半のサイクルで加入者側ISDN装置640が上りデータを送信するため、図12(B)に示すように、局側ADSL装置650では、TTR310の前半のサイクルで局側ISDN装置630の下りデータから近端漏話(NEXT: Near End Cross Talk)320の影響を受け、後半のサイクルで加入者側ISDN装置640の上りデータから遠端漏話(FEXT: Far End Cross Talk)330の影響を受ける。

【0043】

一方、加入者側ADSL装置660では、図12(C)に示すように、局側ADSL装置650とは逆にTTR310の前半のサイクルで局側ISDN装置630の下りデータからFEXT340の影響を受け、後半のサイクルで加入者側ISDN装置640の上りデータからNEXT350の影響を受けることになる。以下、このようにNEXTの影響を受ける雑音区間をNEXT区間、FEXTの影響を受ける雑音区間をFEXT区間と呼ぶ。なお、図12(D)には、加入者側ADSL装置660でのNEXT区間およびFEXT区間が示されている。また、一般的に、NEXT区間で受ける影響の方が、FEXT区間で受ける影響よりも大きい。

【0044】

(4) スライディングウインドウの説明

上述したようなTCMクロストーク(NEXT区間、FEXT区間)が存在する環境下でADSL信号を良好に伝送するために、「スライディングウインドウ」が導入されている。この「スライディングウインドウ」とは、TCMクロストークの影響がNEXT区間よりも少ないFEXT区間を特定するためのもので、特定したFEXT区間を有効活用することにより、TCMクロストークの影響を最小限に抑えつつ、データを確実に伝送することが可能になる。

【0045】

例えば、局側ADSL装置650から加入者側ADSL装置660へとADS

L 信号を送信する下り方向を考えると、「スライディングウィンドウ」を用いることにより、ADSL 信号の状態を以下のように定めることができる。

即ち、図 1 2 (E) に示すように、送信される DMT シンボル 3 6 0 が加入者側 ADSL 装置 6 6 0 における FEXT 区間内に完全に含まれる場合、スライディングウィンドウ 3 7 0 により、局側 ADSL 装置 6 5 0 は、そのシンボルを FEXT シンボルとして送信する。また、送信シンボルが一部でも加入者側 ADSL 装置 6 6 0 における NEXT 区間に含まれる場合、局側 ADSL 装置 6 5 0 は、そのシンボルを NEXT シンボルとして送信する。このような送信方法を、デュアルビットマップ方式という。

【0 0 4 6】

なお、上り方向においても、下り方向と同様な方法で、加入者側 ADSL 装置 6 6 0 が DMT シンボルを送信する。また、下り方向において、局側 ADSL 装置 6 5 0 が、NEXT シンボルの区間において、NEXT シンボルの代わりに、パイロットトーンを送信する場合がある。このような送信方法は、FEXT ビットマップ方式と呼ばれる。この FEXT ビットマップ方式では、加入者側 ADSL 装置 6 6 0 は、NEXT シンボルの区間では上り方向には何も送信しない。

【0 0 4 7】

(5) ADSL 通信におけるフレーム構成の説明

上記の「スライディングウィンドウ」は、TCM 伝送における TTR とは非同期であるが、ここでは、TTR と同期している ADSL 通信で用いられるハイパーフレームについて説明する。

ADSL 通信では、1 フレームが 1 シンボルに対応しており、定常通信時には、例えば図 1 3 (C) に示すように、6 8 個のユーザデータ用 ADSL フレーム 4 1 0 とシンクロナイズーションシンボル S とで構成されるフレームが 6 9 フレーム分集まって、1 スーパーフレーム 4 2 0 が構成されており、さらに、図 1 3 (B) に示すように、このスーパーフレーム 4 2 0 が 5 フレーム分集まることにより 1 ハイパーフレーム 4 3 0 が構成される。

【0 0 4 8】

なお、ハイパーフレーム 4 3 0 には、シンクロナイズーションシンボル S の代

わりに、インバースシンクロナイゼーションシンボル I が挿入される場合がある。このインバースシンクロナイゼーションシンボル I とは、パイロットトーン以外のキャリアについては、図 1 4 (B) に示すように、シンクロナイゼーションシンボル S の位相を 1 8 0 度回転させた信号に相当し、パイロットトーンについては、図 1 4 (A) に示すように、シンクロナイゼーションシンボル S と同じ位相とした信号に相当する。

【 0 0 4 9 】

このインバースシンクロナイゼーションシンボル I は、局側 ADSL 装置 6 5 0 から加入者側 ADSL 装置 6 6 0 への下り方向のハイパーフレームの場合、図 1 3 (B) に示すように、1 ハイパーフレーム 4 3 0 中の第 4 番目のスーパーフレーム 4 2 0 中に位置(挿入)すると決められている。一方、上り方向の場合は、1 ハイパーフレーム 4 3 0 中の第 1 番目のスーパーフレーム 4 2 0 中にインバースシンクロナイゼーションシンボル I が含まれる。なお、図 1 3 (A) に示すように、1 ハイパーフレーム 4 3 0 は、前述した TCM 伝送における TTR 3 1 0 の 3 4 周期に同期している。

【 0 0 5 0 】

(5) 加入者側 ADSL 装置 6 6 0 への TTR 3 1 0 の位相情報通知

上述した ADSL 装置 6 5 0 や 6 6 0 がスライディングウィンドウ 3 7 0 およびハイパーフレーム 4 3 0 を用いてデータを送受信するためには、ADSL 装置 6 5 0, 6 6 0 は、TTR 3 1 0 と同期し、現在、送受信中のデータが、ハイパーフレーム 4 3 0 中のどの位置のフレームとして送受信しているのか、また、NEXT シンボルとして、それとも、NEXT シンボルとして送受信しているのかを認識していなければならない。

【 0 0 5 1 】

しかしながら、図 1 1 に示すように、局側 6 1 0 の ADSL 装置 6 5 0 は、局側 ISDN 装置 6 3 0 と同じ局側 6 1 0 に設置されていれば、その ISDN 装置 6 3 0 から TTR 3 1 0 の位相情報 6 7 0 を簡単に得ることができるが、加入者側 ADSL 装置 6 6 0 は、通常、加入者宅(加入者側 6 2 0)に個別に設置されるため、他の加入者宅に設置された ISDN 装置 6 4 0 から TTR 3 1 0 の位相

情報 6 7 0 を得ることはできない。このため、加入者側 ADSL 装置 6 6 0 は、局側 ADSL 装置 6 5 0 から TTR の位相情報 6 7 0 を受ける必要がある。

【 0 0 5 2 】

このため、局側 ADSL 装置 6 5 0 は、ADSL 通信が始まる前のイニシャライゼーション時に、局側 ISDN 装置 6 3 0 から受け取った TTR 3 1 0 の位相情報 6 7 0 を加入者側 ADSL 装置 6 6 0 へ通知するためのキャリアを用いて送信する。即ち、局側 ADSL 装置 6 5 0 は、TTR 3 1 0 の位相情報 6 7 0 を、図 1 2 (E) により上述したスライディングウインドウ 3 7 0 が定めた通りに、FEXT シンボル [図 1 5 (A) 参照]、あるいは、NEXT シンボル [図 1 5 (B) 参照] として送信する。なお、このときの FEXT シンボルと NEXT シンボルとでは位相のみが異なった状態になっている。

【 0 0 5 3 】

一方、ハイパーフレーム 4 3 0 中のどのフレームが FEXT シンボルとして送信されるべきか、あるいは、NEXT シンボルとして送信されるべきかということは、スライディングウインドウ 3 7 0 との関連付けで予め決められているので、加入者側 ADSL 装置 6 6 0 は、局側 ADSL 装置 6 5 0 から送信されてきた上記の信号 (FEXT シンボル、あるいは、NEXT シンボル) を受信することで、ハイパーフレーム中のどのフレームを受信しているのかを認識することが可能となる。

【 0 0 5 4 】

このとき、前述したように 1 ハイパーフレーム 4 3 0 は TTR 3 1 0 の 3 4 周期に同期しているので、加入者側 ADSL 装置 6 6 0 は、受信ハイパーフレーム 4 3 0 における上記フレーム位置情報から TTR 3 1 0 の位相情報 6 7 0 を得ることができ、TTR 3 1 0 との同期を取ることができる。そして、TTR 3 1 0 との同期を取った後は、前記のパイロットトーンを用いて同期が維持されてゆく。

【 0 0 5 5 】

以上のようにして、ADSL 回線 7 0 の近くに TCM 回線 7 0' が存在する場合、ADSL 装置 6 5 0、6 6 0 は、スライディングウインドウ 3 7 0 およびハ

イパーフレーム430を用いてデータを送受信することによって、TCMクロストークの影響を最小限に抑えて、データの確実な伝送を実現している。

【0056】

【発明が解決しようとする課題】

しかしながら、例えば、前記の「G.lite」のADSL装置では、スプリッタ、即ち、ローパスフィルタ(LPF)が設けられていないので、定常通信時に、加入者側ADSL装置660は、加入者側ADSL装置660と同一回線に接続された電話機のオフフックによるインパルスノイズやリング時の高調波ノイズおよび隣接回線の電話機からのオフフックやリングによるクロストークノイズなどの影響を受けて、局側ADSL装置650から送信される同期維持用のパイロットトーンを正確に受信できない状態が長時間(例えば、1.8ms以上)にわたった場合、加入者側ADSL装置660はTTR310との同期を維持できなくなる。このような場合、その後のADSL通信の続行は不可能であり、再通信を行なうためには、現状では、再度、イニシャライゼーションからやり直さなければならない。このため、ADSL通信は、一旦、TTR310との同期が外れると、長時間にわたって中断されることになる。

【0057】

本発明は、このような課題に鑑み創案されたものであり、定常通信時に加入者側通信装置がTCMでの伝送周期との同期を維持できなくなった場合に、再度、イニシャライゼーションからやり直すことなく、速やかに通信を再開できるようにすることを目的とする。

【0058】

【課題を解決するための手段】

上記の目的を達成するために、本発明の再同期制御装置は、局側通信装置との間で既存の通信回線を介し通信を行なう加入者側通信装置において、上記の局側通信装置との同期外れを検出する同期外れ検出部と、この同期外れ検出部にて同期外れが検出されると、上記の通信回線を介して受信される受信データと、既に局側通信装置から送信され保持した保持データとで相関処理を行なう相関処理部と、この相関処理部での相関処理により同期タイミングを特定して局側通信装置

との通信の再同期を確立する再同期制御部とが設けられていることを特徴としている。

【 0 0 5 9 】

上述のごとく構成された本発明の再同期制御装置では、局側通信装置との同期外れが検出されると（同期外れ検出ステップ）、その後に受信される受信データと、既に局側通信装置から送信され保持した保持データとで相関処理を行なう（相関処理ステップ）。このとき、上記の保持データは、通信回線のもつ伝送特性に応じた影響（伝送損失）を受けているので、通信回線の伝送特性を考慮した相関処理が行なわれることになる。そして、再同期制御部は、上記の相関処理により同期タイミングを特定して局側通信装置との再同期を確立する（再同期制御ステップ）（請求項 1， 1 0）。

【 0 0 6 0 】

ここで、上記の相関処理部は、定常通信時に局側通信装置から受信される信号データを保持する信号保持部と、この信号保持部に保持された保持データと、上記の同期外れ検出後に受信される受信データとの相関を演算することにより、上記保持データと相関の高い受信データを検出する相関演算部とをそなえていてもよい。このようにすれば、上記同期外れが発生すると、同期外れ発生前の定常通信時に受信され保持した信号と相関の高い信号を通信回線の伝送損失を考慮した上で検出することができる（請求項 2， 1 1）。

【 0 0 6 1 】

なお、上記の信号保持部は、定常通信時における或る区間の受信データの平均値を上記の保持データとして保持するように構成されていてもよい。このようにすれば、受信信号（保持する信号データ）の通信回線から受けた影響を時間的に平均化することができるので、より安定した信号検出処理を実現できる（請求項 3）。

【 0 0 6 2 】

また、上記の信号検出処理部は、上記の保持データの絶対値の最大値もしくはこの最大値に任意のマージン値を加えた値を保持する最大値保持部と、上記同期外れ検出後に受信される受信データの絶対値が、この信号データ最大値保持部に

保持された値以下である区間についてのみ、上記の相関演算部による相関演算を実行させる最大値判定型相関演算制御部とをそなえていてもよい。

【 0 0 6 3 】

つまり、上記の保持データの絶対値の最大値もしくは該最大値に任意のマージン値を加えた値よりも絶対値の大きい受信信号については、保持データとの相関が低いと考えられるので、相関演算の対象とはしないのである。このようにすることで、相関演算部による演算量を削減することができる（請求項 4， 1 2）。

なお、別の態様として、上記の信号検出処理部には、上記の保持データの絶対値の最小値もしくはこの最小値に任意のマージン値を加えた値に任意の係数を乗じた値と、その値と上記の保持データの絶対値との大きさ比較結果を保持する信号データ最小値保持部と、前記の大きさ比較結果で上記の保持データの絶対値の方が大きいサンプルにおいて、1 シンボルすべての受信データの絶対値が、この信号データ最小値保持部に保持された値に上記係数以下の任意の係数を乗じた値よりも大きい区間についてのみ、上記の相関演算部による相関演算を実行させる最小値判定型相関演算制御部とをそなえてもよい。

【 0 0 6 4 】

つまり、この場合は、保持した信号データの絶対値の最小値もしくはこの最小値に任意のマージン値を加えた値に任意の係数を乗じた値と、その値と上記保持データの絶対値との大きさ比較結果で上記保持データの絶対値の方が大きいサンプルにおいて、1 シンボルすべての受信データの絶対値が、上記保持データの絶対値の最小値もしくはその最小値に任意のマージン値を加えた値に上記計数以下の任意の係数を乗じた値よりも大きいとはいえない場合について、保持した信号との相関が低いと考えられるので、その信号データを相関演算対象から外すことで、上記相関演算部での相関演算量を削減するのである（請求項 5， 1 3）。

【 0 0 6 5 】

また、上記の信号検出処理部は、上記同期外れが検出された場合に、局側通信装置からの受信データのうち先頭側および末尾側の各サイクリックプリフィックス長分の信号データの相関に基づいて、上記受信データのフレーム境界を検出するフレーム境界検出部と、このフレーム境界検出部で検出されたフレーム境界に

より特定されるフレーム単位で上記の相関演算部による相関演算を実行させるフレーム境界検出型相関演算制御部とをそなえていてもよい。

【0066】

このようにすれば、同期外れ発生後に受信される信号データから受信信号のフレームを特定して、そのフレーム単位で相関演算を実行することができるので、わざわざ相関が低くなる可能性の高い範囲（単位）での相関演算を実行することがない（請求項6，14）。

ところで、上記の再同期制御部は、加入者側通信装置が上記の局側通信装置からの受信データについて所定の等化係数を更新しながら適応的に等化处理を施す等化器をそなえている場合、上記同期外れが検出された後、再同期を確立するまで、上記の等化係数の更新を行なわせないように構成されていてもよい。このようにすれば、同期外れ発生中の信頼性のない受信信号に基づいて上記等化係数が更新されてしまうことを回避することができる（請求項7）。

【0067】

また、上記の再同期制御部は、加入者側通信装置が局側通信装置からの受信データについて所定の利得係数を更新しながら適応的に利得増幅処理を施す利得増幅部をそなえている場合、上記同期外れが検出された後、再同期を確立するまで、上記利得係数の更新を行なわせないように構成されていてもよい。このようにすれば、上記利得係数についても、同期外れ発生中の信頼性のない受信信号に基づいて更新されてしまうことを回避することができる（請求項8）。

【0068】

また、上記の再同期制御部は、上記の同期外れが検出されると、再同期を確立するまで、局側通信装置への送信を停止させるように構成されていてもよい。このようにすれば、局側通信装置への送信信号による上記受信信号に対するクロストークなどの影響をなくすことができる（請求項9）。

【0069】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。

（A）一実施形態の説明

図 1 は本発明の一実施形態としての加入者側 A D S L 装置（加入者側通信装置）の受信側ブロック（受信装置）に着目した構成を示すブロック図で、この図 1 に示すように、本加入者側 A D S L 装置 1 は、受信装置 2（以下、加入者側受信装置 2 という）として、A G C & A / D コンバータ 1 5 1 0，時間等化器（T E Q）9 0，受信側メインブロック 1 5 2 0，A G C 用データメモリ 1 5 3 0，T E Q 用データメモリ 1 5 4 0 及び F E Q 用データメモリ 1 5 5 0 をそなえとともに、T T R 再同期制御装置 3 として、T T R 同期外れ検出部 1 5 6 0，信号検出処理部 1 5 7 0，制御部 1 5 8 0 及び信号スイッチ 1 5 9 0 をそなえて構成されている。

【0070】

なお、本加入者側受信装置 2 も、図 6 により前述した加入者側 A D S L 装置 6 6 0 と同等箇所に適用されるもので、この場合も、メタリック回線（A D S L 回線）7 0 を介して局側 A D S L 装置 6 5 0 の送信装置（局側送信装置）9 1 0 と接続されて、前記 T T R 3 1 0 に同期した通信（下り通信）が行なわれるようになっている。また、この図 1 においても、下り方向（局側送信装置 9 1 0 → 加入者側受信装置 2）の構成しか示していないが、実際には、局側 A D S L 装置 6 5 0 には、従来の加入者側 A D S L 装置 6 6 0 における受信装置 9 6 0 と同等の機能をもった局側受信装置が設けられ、加入者側 A D S L 装置 1 には局側送信装置 9 1 0 と同等の機能をもった加入者側送信装置が設けられており、双方向の通信が可能になっているものとする。

【0071】

以下、加入者側受信装置 2 における上記の各構成要素について説明する。

まず、上記の A G C & A / D コンバータ 1 5 1 0 は、図 6 により前述した A G C 1 6 0，乗算器 1 7 0，1 8 0 および A / D コンバータ 8 0 から成る部分を集約して表したもので、その機能は図 6 により前述したものとほぼ同様である。ただし、本実施形態では、この A G C & A / D コンバータ 1 5 1 0 に、A G C 用データメモリ 1 5 3 0 が接続されており、この A G C 用データメモリ 1 5 3 0 に、後述する A G C 更新用データ（A G C 値）が保持されるようになっている。

【0072】

また、TEQ90も、基本的には、図6により前述したものと同様のもので、例えば、FIR(Finite Impulse Response)フィルタを用いて構成され、入力信号に対するシンボル間干渉(ISI: Inter Symbol Interference)が局側送信装置910のパラレル-シリアルバッファ40(図6参照)において付加されたサイクリックプリフィックス内に収める処理を施すためのものである。

【0073】

さらに、受信側メインブロック1520は、図6に示すシリアル-パラレルバッファ100、FFT110、FEQ120、デコーダ130及びパラレル-シリアルバッファ140から成る部分を集約して表わしたもので、これらの各部100~140により図6により前述した処理と同様の受信処理が行なえるようになっている。

【0074】

なお、図1において、TEQ90に接続されているTEQ用データメモリ1540は、後述するTEQ更新用データ(TEQ係数)を保持しておくためのものであり、受信側メインブロック1520に接続されているFEQ用データメモリ1550は、受信側メインブロック1520内の上記FEQ120のFEQ係数(図10により前述した係数 W_i)を更新するためのデータを保持しておくためのものである。

【0075】

次に、上記のTTR同期外れ検出部1560は、前記TTR310との同期外れを検出するもので、例えば、本加入者側ADSL装置1と同一回線70に接続された電話機のオフフックによるインパルスノイズやリング時の高調波ノイズおよび隣接回線の電話機からのオフフックやリングによるクロストークノイズなどの影響を受けて、局側ADSL装置650から送信される同期維持用のパイロットトーンを正確に受信できない状態が長時間(例えば、1.8ms以上)にわたって、受信信号の大きさがFEXT区間において許容値以上の大きさとなったり、任意の信号に対するSN比が許容値以下となったり、TEQ係数、FEQ係数およびAGC値が許容できないくらい急激な変化を示したりした場合などにおいて、TTR310との同期外れが発生したと認識するようになっている。

【0076】

また、信号検出処理部（相関処理部）1570は、上記のTTR同期外れ検出部1560にてTTR310との同期外れが検出されると、メタリック回線70を介して局側送信装置910から非同期状態で受信される受信データと、定常通信時に局側送信装置910から正常に（TTR310に同期して）受信され保持した信号データとで相関処理を行なうことにより、上記の非同期状態で受信される信号データから、メタリック回線70のもつ伝送特性に応じた損失を受けて正常に受信された過去（既知）の信号データ（シンクロナイゼーションシンボルSあるいはインバースシンクロナイゼーションシンボルI）を検出するためのものである。

【0077】

このため、本実施形態の信号検出処理部1570は、その要部に着目すると、例えば図1に示すように、大きさ判定ブロック1120、大きさ比較用メモリ1130、相関ブロック1150、相関最大値保持メモリ1170、制御信号生成部1180、フレーム境界検出ブロック1410及びフレーム境界検出用メモリ1430をそなえて構成されている。

【0078】

ここで、上記の大きさ判定ブロック1120は、前述したTCM伝送のTTR310（伝送周期）との同期が外れた場合に、大きさ比較用メモリ1130に保持されているデータに基づいて、TEQ90の出力信号データの大きさ（絶対値）を判定し、その判定結果に応じて後段の相関ブロック1150での相関演算を有効／無効に制御するためのものである。なお、TTR310との同期が外れていない場合（定常通信時）、TEQ90の出力は、本大きさ判定ブロック1120をスルーして後段の相関ブロック1150に送られるようになっている。

【0079】

また、相関ブロック1150は、TTR310との同期が外れていない定常通信時に、上記の大きさ判定ブロック1120を経由してくるTEQ90の出力信号データ（シンクロナイゼーションシンボルSあるいはインバースシンクロナイゼーションシンボルI）を、TTR310との同期が外れた場合のTTR再同期

用のデータとして保持しておく一方、T T R 3 1 0 との同期が外れた場合に、保持しておいた上記信号データと、同期外れ後に局側送信装置 9 1 0 からメタリック回線 7 0 を介して受信される信号との相関を演算するためのものである。

【 0 0 8 0 】

そして、本相関ブロック 1 1 5 0 では、後述するように、その相関演算結果が相関最大値保持メモリ 1 1 7 0 に保持されている相関値の最大値よりも大きいかどうかの比較処理が行なわれるようになっており、相関演算結果が相関最大値保持メモリ 1 1 7 0 に保持されている相関値の最大値よりも大きければ、そのときの相関演算に用いた受信信号が、同期外れ発生前に受信した既知の信号データと最も相関の高い信号、つまり、既知のシンクロナイズーションシンボル S あるいはインバースシンクロナイズーションシンボル I であると判断され検出されるようになっている。

【 0 0 8 1 】

ここで、シンクロナイズーションシンボル S あるいはインバースシンクロナイズーションシンボル I のハイパーフレーム 4 3 0 における挿入位置は予め決まっているので、上記の検出タイミングをカウンタ等でカウントしておけば、そのカウント値からおのずと、ハイパーフレーム 4 3 0 の先頭位置が検出され、T T R 3 1 0 との再同期が可能となる。

【 0 0 8 2 】

このような機能を実現するために、本相関ブロック 1 1 5 0 は、例えば図 2 に示すように、 $N - 1$ 個のレジスタ 5 0 0 - 1 ~ 5 0 0 - ($N - 1$) と、 N 個の F E T 5 0 1 - 0 ~ 5 0 1 - ($N - 1$) と、 N 個の乗算器 5 0 2 - 0 ~ 5 0 2 - ($N - 1$) と、 $N - 1$ 個の加算器 5 0 3 - 1 ~ 5 0 3 - ($N - 1$) と、コンパレータ 5 0 4 とをそなえて構成されている。なお、上記の N は、局側送信装置 9 1 0 から送信される D M T 信号の 1 シンボル分のサンプル数を表し、2 以上の整数である。

【 0 0 8 3 】

ここで、上記の各レジスタ 5 0 0 - 1 ~ 5 0 0 - ($N - 1$) は、入力信号 (D M T 信号) を時系列に 1 サンプル分ずつ保持することにより、 N 個のサンプルデ

ータ $R(0) \sim R(N-1)$ を得るためのものであり、各乗算器 $502-0 \sim 502-(N-1)$ は、これらの各レジスタ $500-1 \sim 500-(N-1)$ によって得られた N 個のサンプルデータ $R(0) \sim R(i)$ (ただし、 $i=1 \sim N-1$) に、それぞれ、係数 $C(i)$ (ただし、 $i=0 \sim N-1$) を乗算するものである。

【0084】

この係数 $C(i)$ は、本実施形態では、 $TTR310$ との同期外れが発生していない定常通信時に、局側送信装置 910 から送信され、メタリック回線 70 、 $AGC \& A/D$ コンバータ 1510 および $TEQ90$ を通った既知の信号データ (シンクロナイゼーションシンボル S の TEQ 出力、あるいは、インバースシンクロナイゼーションシンボル I の TEQ 出力) を、乗算器 $502-i$ がそれぞれ TTR 再同期用のデータとして 1 サンプルずつ保持することで設定される。

【0085】

つまり、上記の各乗算器 $502-i$ は、 $TTR310$ との同期外れが発生していない定常通信時に受信される既知の信号データ [係数 $C(i)$] を $TTR310$ との同期が外れたときの TTR 再同期用のデータとして保持するメモリ (信号データ保持部; 以下、相関元データメモリと呼ぶ) 502 として機能するようになっているのである。

【0086】

なお、定常通信時に、通信時間が長くなると、その間の温度変化によりメタリック回線 70 の特性が変化するため、 TEQ 出力も次第に変化してゆき、一定時間後には、上記の相関元データメモリ 502 に保持したデータと、現在の受信信号データとの特性 (メタリック回線 70 から受けた損失) に大きな違いが生じることも考えられる。従って、相関元データメモリ 502 の更新を時々行なって、相関元データメモリ 502 には、できる限り最新の信号データ (TEQ 出力) を保持しておくことが望ましい。

【0087】

また、温度変化によるメタリック回線 70 の特性の変化に対応するため、 TEQ 係数が更新されることがあるが、この TEQ 係数の更新により、 TEQ 出力も

変化するため、TEQ係数の更新後にも、相関元データメモリ502の更新を行うことが望ましい。また、このことはAGC&A/Dコンバータ1510内のAGC値の更新においても同様である。

【0088】

そこで、本実施形態では、例えば、制御部1580が、TTR同期外れ検出部1560においてTTR310との同期外れが検出されない定常通信時において、TEQ係数、AGC値が更新されない間は一定周期で、TEQ係数、AGC値が更新されればそれを契機に、大きさ判定ブロック1120側へTEQ出力が出力されるよう、信号スイッチ1590の切り換えを行なうことで、相関元データメモリ502の更新を行なうようになっている。

【0089】

次に、上記の各加算器503-1～503-(N-1)は、上記の各乗算器502-iの各出力を加算するためのもので、その加算結果が、定常通信時に受信した既知の信号データと、TTR310との同期外れ発生後に受信される信号データとの相関値1160として出力されるようになっている。つまり、相関ブロック1150は、同期外れ発生後のサンプルデータR(0)～R(N-1)と、定常通信時に相関元データメモリ502〔乗算器502-0～502-(N-1)〕に保持しておいたデータとを用いて、次式(1)に示す相関演算を行ない、その演算結果を相関値1160として出力する相関演算部として機能するのである。

【0090】

【数1】

$$\sum_{i=0}^{N-1} \{R(i)C(i)\} \quad \cdots (1)$$

なお、上記の各FET501-0～501-(N-1)は、後述する大きさ判定ブロック1120からの制御信号により、対応する乗算器502-0～502-(N-1)へのサンプルデータR(0)～R(N-1)の入力/停止を制御するためのゲートスイッチで、これらの各FET501-0～501-(N-1)のON/OFF制御により、上記の相関演算の実行/停止や上記の係数C(i)

の更新処理が制御されるようになっている。なお、この制御の詳細については後述する。

【0091】

次に、上記のコンパレータ（比較部）504は、上記の相関演算により得られた現在の相関値1160と、過去の相関演算により得られた相関最大値メモリ1170に保持されている相関値1160とを比較するもので、ここでは、現在の相関値1160の方が過去の相関値1160よりも大きければ、現在の相関値1160が相関最大値メモリ1170に保持されて相関値の最大値が更新されるようになっている。

【0092】

なお、このように相関値1160の最大値が更新された場合には、そのときの受信ハイパーフレーム430〔図13（B）参照〕中のフレーム位置〔図13（C）に示すデータ用ADSLフレーム410あるいはシンクロナイゼーションシンボルSなどの位置〕情報及びそのフレーム中のサンプル位置〔図13（C）に示すデータ用ADSLフレーム410あるいはシンクロナイゼーションシンボルSなどを構成しているN個のサンプルの位置〕情報も、上記の相関値1160とともに相関最大値メモリ1170に保持される。このときのハイパーフレーム430中のフレーム位置情報及びそのフレーム中のサンプル位置情報は、例えば、後述する制御部1580によるTTR再同期制御の開始とともにカウントを始めるフレームカウンタ及びサンプルカウンタ（図示省略）のカウント値として求められる。

【0093】

ただし、このときのカウント値（位置情報）は、仮の位置情報であり、上記相関演算が1ハイパーフレーム分以上繰り返された後で最終的に相関最大値メモリ1170に保持されている位置情報が、それぞれ、シンクロナイゼーションシンボルSあるいはインバースシンクロナイゼーションシンボルIを特定する情報、即ち、TTR310を特定する情報として用いられる。つまり、この処理は、上記の位置情報についての保護をとって、TTR310を特定する情報の信頼性を向上させていることに相当する。

【 0 0 9 4 】

次に、図 1 に示す制御部（再同期制御部） 1 5 8 0 は、上記の相関最大値保持メモリ 1 1 7 0 に保持されたフレーム位置情報およびサンプル位置情報に基づいて、T T R 3 1 0 を特定して、T T R 3 1 0 との再同期をとるためのものである。即ち、上記のフレーム位置情報およびサンプル位置情報から、例えば、図 1 3 (A) ～図 1 3 (C) において、ハイパーフレーム 4 3 0 内で先頭から 2 番目に位置するシンクロナイズーションシンボル S が検出されたとすると、そのシンボル S からさらに 2 つ後のスーパーフレーム 4 2 0 の最後のサンプル位置にインバースシンクロナイズーションシンボル I が位置することが特定されるので、それを基に 1 ハイパーフレーム 4 3 0 の受信周期、つまり、T T R 3 1 0 を特定して再同期をとるのである。

【 0 0 9 5 】

このとき、具体的な再同期の確立は、例えば、上述のごとく特定した T T R 3 1 0 に同期したタイミングで受信信号が処理されるよう、シリアルーパラレルバッファ 1 0 0 での T E Q 出力の保持時間を制御して、受信信号を所要量だけ遅延させることで実現できる。つまり、本制御部 1 5 8 0 は、上述のごとく信号検出処理部 1 5 7 0 における相関ブロック 1 1 5 0 での相関演算によって検出された信号データの受信タイミングに基づいて T T R 3 1 0 を特定して局側送信装置 9 1 0 との通信の再同期を確立するようになっているのである。

【 0 0 9 6 】

次に、上記の信号検出処理部 1 5 7 0 において、大きさ比較用メモリ（信号データ最大値保持部） 1 1 3 0 は、上述した相関ブロック 1 1 5 0 における相関元データメモリ 5 0 2（乗算器 5 0 2 - i）に保持されている信号データ〔係数 C (i)〕の絶対値の最大値あるいはその最大値に任意のマージン値を加えた値を保持するためのものである。

【 0 0 9 7 】

また、大きさ判定ブロック 1 1 2 0 は、T T R 3 1 0 との同期外れが検出された場合に受信される受信データの絶対値が、上記の大きさ比較用メモリ 1 1 3 0 に保持された値以下である受信信号データを判定するものであり、制御信号生成

部 1 1 8 0 は、この大きさ判定ブロック 1 1 2 0 において上記の条件を満足すると判定された信号データ（区間）についてのみ、上記の相関ブロック 1 1 5 0 における各 F E T 5 0 1 - i（図 2 参照）をそれぞれ O N にする制御信号を生成して、上述した相関演算を実行させるものである。なお、上記の条件を満足しない信号データについては、各 F E T 5 0 1 - i をそれぞれ O F F にする制御信号が生成されて、相関演算は実行されない。

【 0 0 9 8 】

つまり、上記の大きさ判定ブロック 1 1 2 0 および制御信号生成部 1 1 8 0 は、同期外れ発生時に受信される受信データの絶対値が、相関元データメモリ 5 0 2（乗算器 5 0 2 - i）に保持されている信号データ〔係数 C（i）〕の絶対値の最大値あるいはその最大値に任意のマージン値を加えた値以下の信号データについてのみ相関ブロック 1 1 5 0 での相関演算を有効に制御する、最大値判定型相関演算制御部として機能するのである。

【 0 0 9 9 】

このような制御を行なうのは、相関元データメモリ 5 0 2（乗算器 5 0 2 - i）に保持されている信号データ〔係数 C（i）〕の絶対値の最大値あるいはその最大値に任意のマージン値を加えた値よりも大きい信号データは、検出すべき信号データ（シンクロナイゼーションシンボル S やインバースシンクロナイゼーションシンボル I）ではない確率が高いので、その信号データについては相関演算対象から外して、相関ブロック 1 1 5 0 での演算量を削減するためである。

【 0 1 0 0 】

なお、上記の条件を満足する信号データを識別するために、大きさ比較用メモリ 1 1 3 0 には、例えば図 3 に示すように、上記の判定結果を保持するための判定結果保持用のメモリ 1 1 3 1 がそなえられている。また、上記の制御信号生成部 1 1 8 0 は、後述するように、フレーム境界検出ブロック 1 4 1 0 で得られるフレーム境界情報に応じて相関ブロック 1 1 5 0 の各 F E T 5 0 1 - i を O N / O F F に制御する制御信号を生成して、相関ブロック 1 1 5 0 での相関演算を有効／無効に制御するようになっている。

【 0 1 0 1 】

一方、信号検出処理部 1 5 7 0 において、フレーム境界検出ブロック 1 4 1 0 は、T T R 3 1 0 との同期外れが T T R 同期外れ検出部 1 5 6 0 において検出されると、その後に受信される受信データの先頭側および末尾側それぞれサイクリックプリフィックス長分の各信号データの相関に基づいて、その受信データのサイクリックプリフィックス部分を検出することにより、1 D M T シンボル長を検出して、受信データのフレーム境界（データ用 A D S L フレーム 4 1 0 あるいはシンクロナイゼーションシンボル S などの境界）を検出するためのものであり、フレーム境界検出用メモリ 1 4 3 0 は、その検出結果をフレーム境界情報として保持するためのものである。

【 0 1 0 2 】

このため、上記のフレーム境界検出ブロック 1 4 1 0 は、例えば図 4 に示すように、局側送信装置 9 1 0 から送信される 1 D M T シンボルのサンプル数を N 、サイクリックプリフィックス長を L とした場合に、 $N + L - 1$ 個のレジスタ 4 0 1 - 1 \sim 4 0 1 - ($N + L - 1$) と、 L 個の乗算器 4 0 2 - 1 \sim 4 0 2 - L と、 $L - 1$ 個の加算器 4 0 3 - 1 \sim 4 0 3 - ($L - 1$) と、コンパレータ 4 0 4 とを有して構成されている。

【 0 1 0 3 】

ここで、上記の各レジスタ 4 0 1 - 1 \sim 4 0 1 - ($N + L - 1$) は、T E Q 出力（受信信号データ）の 1 D M T シンボルを 1 サンプルずつ保持することにより、時系列のサンプルデータ $R(0) \sim R(N + L - 1)$ を得るためのものであり、乗算器 4 0 2 - 1 \sim 4 0 2 - L は、これらの各サンプルデータ $R(0) \sim R(N + L - 1)$ のうち、先頭側 L サンプル分のサンプルデータ $R(N) \sim R(N + L - 1)$ と末尾側 L サンプル分のサンプルデータ $R(0) \sim R(L - 1)$ とを乗算するものであり、加算器 4 0 3 - 1 \sim 4 0 3 - ($L - 1$) は、これらの各乗算器 4 0 2 - 1 \sim 4 0 2 - L の乗算結果を加算するためのもので、その加算結果が上記先頭及び末尾側それぞれ L サンプル分のサンプルデータの相関値 1 4 2 0 として出力されるようになっている。

【 0 1 0 4 】

つまり、上記のレジスタ 4 0 1 - 1 \sim 4 0 1 - ($N + L - 1$)，乗算器 4 0 2

- 1 ~ 4 0 2 - L 及び加算器 4 0 3 - 1 ~ 4 0 3 - (L - 1) は、次式 (2) で表わされる演算を実行して、その演算結果を相関値 1 4 2 0 として出力するようになっているのである。

【0 1 0 5】

【数 2】

$$\sum_{i=0}^{L-1} \{R(i)R(N+i)\} \quad \cdots (2)$$

また、コンパレータ 4 0 4 は、上述のごとく得られた相関値 1 4 2 0 と、フレーム境界検出用メモリ 1 4 3 0 に保持されている過去の相関値 1 4 2 0 の最大値とを比較するもので、もし、現在の相関値 1 4 2 0 の方がフレーム境界検出用メモリ 1 4 3 0 に保持されている値よりも大きければ、そのときの受信信号データがサイクリックプリフィックスである確率が高いので、フレーム境界検出用メモリ 1 4 3 0 に、現在の相関値 1 4 2 0 およびデータ用 ADSL フレーム 4 1 0 あるいはシンクロナイゼーションシンボル S などの中のサンプル位置情報が保持されるようになっている。

【0 1 0 6】

なお、このサンプル位置情報は、例えば、上記のフレーム境界検出の開始とともにカウントを始めるカウンタ（図示省略）のカウント値により得られる。また、このときのサンプル位置情報は仮の位置情報であり、上記の処理を数フレーム以上繰り返した後（保護をとった後）で、最終的にフレーム境界検出用メモリ 1 4 3 0 に保持されているサンプル位置情報がフレーム境界を特定する情報（フレーム境界情報）となる。

【0 1 0 7】

ところで、このようにして得られたフレーム境界情報は、制御信号生成部 1 1 8 0 によって読み出されるようになっており、制御信号生成部 1 1 8 0 は、そのフレーム境界情報に基づいて、例えば、データ用 ADSL フレーム 4 1 0 あるいはシンクロナイゼーションシンボル S などの境界の前 1 DMT シンボル長分だけ、相関ブロック 1 1 5 0 の各 FET 5 0 1 - i を ON にする制御信号を生成する。これにより、相関ブロック 1 1 5 0 では、常に、フレーム（DMT シンボル）

の境界位置で上記の相関演算が実行されることになる。

【0108】

つまり、上記のフレーム境界検出用メモリ1430および制御信号生成部1180は、フレーム境界検出ブロック1410で検出されたフレーム境界により特定されるフレーム単位で相関ブロック1150による上記相関演算を実行させるフレーム境界検出型相関演算制御部として機能するのである。このような制御を行なうことで、相関ブロック1150での相関演算量はさらに大幅に削減される。

【0109】

なお、以上のようなフレーム境界検出処理やフレーム境界検出後の相関演算処理は、例えば制御部1580が、信号スイッチ1590の切り換えを行なうことで実行される。即ち、制御部1580は、TTR同期外れ検出部1560にてTTR310との同期外れが検出されると、まず、TEQ出力がフレーム境界検出ブロック1410へ入力されるように信号スイッチ1590の切り換え制御を行ない、フレーム境界が検出されれば、TEQ出力が大きさ判定ブロック1120及び相関ブロック1150に入力されるように信号スイッチ1590の切り換え制御を行なうのである。

【0110】

(1) 基本動作説明

以下、上述のごとく構成された加入者側受信装置2におけるTTR再同期制御装置3の基本動作（TTR再同期方法）について詳述する。なお、局側送信装置910の動作や加入者側受信装置2のAGC&A/Dコンバータ1510、TEQ90、受信側メインブロック1520の基本動作については、図6～図15により前述した動作と同様であるとする。

【0111】

まず、加入者側受信装置2が、局側送信装置910からTTR310に同期して正常に信号を受信できている間は、制御部1580が、適宜のタイミング（一定周期；ただし、TEQ係数、AGC値が更新された場合はそれを契機）で、相関ブロック1150側にTEQ出力が出力されるように信号スイッチ1590を

切り換えることで、相関ブロック 1 1 5 0 における相関元データメモリ 5 0 2 に T E Q 出力（例えば、インバースシンクロナイゼーションシンボル I の T E Q 出力）を保持させるとともに、その保持データを最新のデータに更新する作業を行なう。

【 0 1 1 2 】

なお、このとき、相関元データメモリ 5 0 2 に保持された信号データの絶対値の最大値、あるいは、その最大値に任意のマージン値を加えた値が大きさ比較用メモリ 1 1 3 0 に保持されており、上記の相関元データメモリ 5 0 2 の更新とともに、この大きさ比較用メモリ 1 1 3 0 に保持された値も更新されて、最新のデータに維持される。

【 0 1 1 3 】

かかる状態で、加入者側受信装置 2 が、前述したように局側送信装置 9 1 0 から送信されるパイロットトーンを正確に受信できない状態が長時間にわたって、T T R 3 1 0 との同期外れが発生し、これが T T R 同期外れ検出部 1 5 6 0 にて検出されたとする（同期外れ検出ステップ）。

【 0 1 1 4 】

すると、T T R 再同期制御装置 3 は、その後に、雑音が或る程度収まり（バースト的にでも、パイロットトーンの振幅あるいは位相のずれや、受信信号の大きさあるいは S N 比が許容値以内に収まり）、受信信号を認識できるようになると、相関元データメモリ 5 0 2 に保持してある前記データを用いて T T R 再同期処理を開始する。

【 0 1 1 5 】

即ち、まず、制御部 1 5 8 0 が、信号スイッチ 1 5 9 0 をフレーム境界検出ブロック 1 4 1 0 側に切り換えてフレーム境界検出ブロック 1 4 1 0 に局側送信装置 9 1 0 から受信された信号（T E Q 出力）を入力する。フレーム境界検出ブロック 1 4 1 0 では、信号スイッチ 1 5 9 0 を経由して T E Q 出力が 1 サンプル分入力されると、図 4 により前述したように、前記の式（2）による演算（サイクリックブリフィックスの検出）が実行され、その演算結果が相関値 1 4 2 0 として得られる。

【0 1 1 6】

得られた相関値 1 4 2 0 は、コンパレータ 4 0 4 にて、フレーム境界検出用メモリ 1 4 3 0 に保持されている過去の相関値 1 4 2 0 の最大値と比較され、現在の相関値 1 4 2 0 1 の方がフレーム境界検出用メモリ 1 4 3 0 に保持されている値よりも大きければ、フレーム境界検出用メモリ 1 4 3 0 に現在の相関値 1 4 2 0 及びデータ用 ADSL フレーム 4 1 0 あるいはシンクロナイゼーションシンボル S などの中のサンプル位置情報が保持される。ただし、このときのフレーム 4 2 0 中のサンプル位置情報は、前述したように仮の位置情報である。

【0 1 1 7】

その後、レジスタ 4 0 1 - 1 ~ 4 0 1 - (N + L - 2) に保持されている信号が 1 タップずつ、それぞれレジスタ 4 0 1 - 2 ~ 4 0 1 - (N + L - 1) に移動し、レジスタ 4 0 1 - 1 には、最新の受信信号データ〔サンプルデータ R (0)〕が入力されて、次の演算が実行される。そして、この処理が数フレーム分以上繰り返された後（保護をとった後）で、最終的に、フレーム境界検出用メモリ 1 4 3 0 に保持されているサンプル位置情報がフレーム境界を特定する情報となる（フレーム境界検出ステップ）。

【0 1 1 8】

このようにフレーム境界情報が得られると、次に、制御部 1 5 8 0 は、信号スイッチ 1 5 9 0 を大きさ判定ブロック 1 1 2 0 側に切り換えて、TEQ 出力を大きさ判定ブロック 1 1 2 0 に入力させる。なお、TTR 同期外れ検出部 1 5 6 0 が TTR 同期外れを検出すると、フレーム境界検出ステップを行わずに、直ぐに信号スイッチ 1 5 9 0 を大きさ判定ブロック 1 1 2 0 側に切り替えてもよい。大きさ判定ブロック 1 1 2 0 では、まず、大きさ比較用メモリ 1 1 3 0 に保持されている値と、大きさ判定ブロック 1 1 2 0 に入力された受信信号（1 サンプル）の絶対値とを比較する。

【0 1 1 9】

そして、例えば、大きさ比較用メモリ 1 1 3 0 に保持されている値よりも、大きさ判定ブロック 1 1 2 0 に入力された現在の受信信号（TEQ 出力）の絶対値の方が大きければ、判定結果として“0”を得、そうでなければ“1”を得る。

この判定結果は、大きさ比較用メモリ 1 1 3 0 における大きさ判定結果メモリ 1 1 3 1 (図 3 参照) のメモリ番号 (アドレス) J (0) に保持しておく。なお、この図 3 に示す例では全ての判定結果が “1” になっているが、勿論、実際には “0” になることもある。

【0 1 2 0】

次に、T T R 再同期制御装置 3 は、制御信号生成部 1 1 8 0 によって、この大きさ判定結果メモリ 1 1 3 1 の保持内容を確認するとともに、フレーム境界検出用メモリ 1 4 3 0 の保持内容 (フレーム境界情報) を確認する。そして、制御信号生成部 1 1 8 0 は、大きさ判定結果メモリ 1 1 3 1 に保持された過去 1 シンボル分についての判定結果が全て “1” であれば、フレーム境界検出用メモリ 1 4 3 0 におけるフレーム境界情報によって特定されるフレームタイミングで関連ブロック 1 1 5 0 の各 F E T 5 0 1 - i を ON にする制御信号を生成して、関連ブロック 1 1 5 0 による関連演算を有効にする。

【0 1 2 1】

なお、図 3 に示す大きさ判定結果メモリ 1 1 3 1 に保持された判定結果に “0” が 1 つでも存在する場合は、そのときの T E Q 出力は検出すべき既知の信号データ (この場合は、インバースシンクロナイズーションシンボル I) ではない確率が高いので、たとえ、各 F E T 5 0 1 - i を OFF にする制御信号が生成されて、関連ブロック 1 1 5 0 による関連演算は実行されない。

【0 1 2 2】

その後、次の受信信号 (T E Q 出力) が大きさ判定ブロック 1 1 2 0 に入力されると、大きさ判定結果メモリ 1 1 3 1 のメモリ番号 J (0) ~ J (N - 2) に保持されている判定結果は 1 つずつ、メモリ番号 J (1) ~ J (N - 1) に順に移動し、メモリ番号 J (0) の判定結果領域には新たに入力された受信信号についての判定結果が保持される。以降、同様にして、信号の大きさ判定が行なわれて、関連ブロック 1 1 5 0 による関連演算の有効／無効が制御される。

【0 1 2 3】

次に、関連ブロック 1 1 5 0 では、上記の制御信号により有効に制御される毎に、つまり、フレーム境界検出ブロック 1 4 1 0 によって検出されたフレーム境

界および上記の大きさ判定によりインバースシンクロナイゼーションシンボル I の T E Q 出力であると推定される区間についてのみ、前記の式 (1) による演算を行ない (相関演算ステップ)、その演算結果を相関値 1 1 6 0 として出力する。

【 0 1 2 4 】

そして、得られた相関値 1 1 6 0 は、コンパレータ 5 0 4 にて、相関最大値保持メモリ 1 1 7 0 に保持されている過去の相関値 1 1 6 0 の最大値と比較され、現在の相関値 1 1 6 0 の方が相関最大値保持メモリ 1 1 7 0 に保持されている値よりも大きければ、現在の相関値 1 1 6 0、そのときのフレーム位置情報及びサンプル位置情報が相関最大値保持メモリ 1 1 7 0 に保持される。

【 0 1 2 5 】

その後、レジスタ 5 0 0 - 1 ~ 5 0 0 - (N - 2) に保持されている信号は 1 タップずつ、それぞれレジスタ 5 0 0 - 2 ~ 5 0 0 - (N - 1) に移動し、レジスタ 5 0 0 - 1 には、次に受信された受信データ [サンプルデータ R (0)] が入力されて、次の演算が実行される。そして、上記の相関演算処理を 1 ハイパーフレーム分以上繰り返した後 (保護をとった後) で、最終的に相関最大値保持メモリ 1 1 7 0 に保持されているフレーム位置情報及びサンプル位置情報がインバースシンクロナイゼーションシンボル I を特定する情報となる (相関処理ステップ)。

【 0 1 2 6 】

これにより、制御部 1 5 8 0 は、この相関最大値保持メモリ 1 1 7 0 に保持された情報を基に、インバースシンクロナイゼーションシンボル I の受信タイミングを特定し、それを基に T T R 3 1 0 を特定することで、T T R 3 1 0 との再同期をとることができる (再同期制御ステップ)。

以上のように、本実施形態の T T R 再同期制御装置 3 によれば、定常通信時に受信した既知の信号データ (インバースシンクロナイゼーションシンボル I の T E Q 出力) を再同期用の信号データとして保持しておき、T T R 3 1 0 との同期外れが発生すると、その後に T T R 3 1 0 と非同期で受信される受信データと、保持しておいた再同期用の信号データとの相関に基づいて、既知の信号データと

最も相関の高い受信データを検出し、その信号データの受信タイミングから T T R 3 1 0 を特定して再同期をとるので、T T R 3 1 0 との再同期をとるのにインシャライゼーション処理からやり直す必要がなく、局側 A D S L 装置 6 5 0 との通信を速やかに回復させて再開することができる。

【 0 1 2 7 】

特に、本実施形態では、メタリック回線 7 0 のもつ伝送特性に応じた影響（伝送損失）を受けた実際の受信信号の T E Q 出力を上記の再同期用の信号データとして保持しておくので、同期外れ発生時には、メタリック回線 7 0 を経由することで上記再同期用の信号データと同等の条件で受信される受信データから上記再同期用の信号データと最も相関の高い信号データの検出処理（フレーム境界検出，大きさ判定及び相関演算），再同期制御が実施される。従って、メタリック回線 7 0 の伝送特性をも考慮した確実な再同期確立を実現できる。

【 0 1 2 8 】

また、本実施形態では、フレーム境界検出ブロック 1 4 1 0 によって検出されたフレーム境界および上記の大きさ判定によりインバースシンクロナイゼーションシンボル I の T E Q 出力であると推定される区間についてのみ、相関ブロック 1 1 5 0 による上記相関演算が実行されるので、検出すべき信号データ以外の信号データが相関演算の対象になることがない。従って、無駄な相関演算処理が大幅に低減されて、再同期確立までの処理量を大幅に低減することができている。

【 0 1 2 9 】

なお、以上のようにして、T T R 3 1 0 との再同期が確立されるまで、本実施形態では、制御部 1 5 8 0 によって、T E Q 係数，F E Q 係数及び A G C 値の更新を行なわないようにしている。以下、この処理について説明する。

(2) T E Q 係数，F E Q 係数及び A G C 値の復元処理の説明

前述したように、T E Q 係数，F E Q 係数及び A G C 値はそれぞれ重要な意味をもち、それらは常に最良の値を維持するために、定常通信時にも更新が行なわれる。ところが、定常通信中に、加入者側受信装置 2 が T T R 3 1 0 との同期外れを起こした場合には、上記雑音の影響を受けた受信信号を用いて更新を行うことになるので、その後、雑音が収まり上述のごとく再同期を確立できても、その

後の通信に上記TEQ係数、FEQの係数及びAGC値は継続して使用することはできない。

【0130】

そこで、本実施形態では、加入者側受信装置2がTTR310との同期外れを起こしておらず、局側送信装置910との間で正常にデータを送受信している定常通信状態のときに、TTR再同期確立後の定常通信用のデータとして、TEQ係数(図9により前述したTEQ90がもつ係数)をTEQ用データメモリ1540に、FEQ係数(図10により前述したWi)をFEQ用データメモリ1550に、アナログAGC値及びデジタルAGC値をAGC用データメモリ1530に、それぞれ保持しておき、それらが常に最新のデータとなるように、必要に応じて更新を行なっておく。なお、これらの作業は例えば制御部1580が制御する。

【0131】

そして、加入者側受信装置2が上述したごとくTTR310との同期外れを起こした後、再同期が確立されると、制御部1580が、上記のAGC&A/Dコンバータ1510(AGC160;図6参照)、TEQ90及びFEQ120(図6参照)に、それぞれメモリ1530~1550に保持しておいたデータ(AGC値、TEQ係数、FEQ係数)を読み込ませて、そのデータを定常通信に用いる。これにより、加入者側受信装置2は、同期外れ発生中の信頼性の無い受信信号に基づいてこれらのデータが更新されてしまうことを回避することができ、TTR310との再同期確立後の通信を同期外れ発生前と同等に安定させることができる。

【0132】

なお、上記の各メモリ1530~1550に保持したデータをAGC&A/Dコンバータ1510(AGC160)、TEQ90及びFEQ120に読み込ませるタイミングは、上記のように再同期が確立した時点でもよいし、再同期処理の開始時点でもよい。ただし、後者の場合は、再同期が確立されるまで、AGC&A/Dコンバータ1510(AGC160)、TEQ90及びFEQ120が読み込んだデータが更新されないように制御する必要がある。

【0133】

ところで、定常通信時には、前述したようにAGC160が、乗算器170におけるアナログ信号及び乗算器180におけるデジタル信号の大きさを測定して、必要に応じてそれぞれの信号に対するAGC値の更新を行なうが、アナログAGC値を更新する場合は、AGC160がアナログAGC値の設定・更新の指示を出してから、実際の設定・更新が完了するまでの間に、アナログ素子の遅延によって、アナログ信号がAGC160の意図していない大きさになってしまつて、誤差を生じてしまう可能性がある。

【0134】

そこで、このようなアナログ素子による遅延の影響を防ぐため、制御部1580によって、1スーパーフレーム420中に1回受信されるシンクロナイゼーションシンボルS、あるいは、インバースシンクロナイゼーションシンボルIの区間で行なうか、FEXTビットマップ方式の場合にパイロットトーンのみを受信している区間、つまり、加入者側受信装置2がユーザデータを受信していない区間で行なうようにしてもよい。このようにすることで、アナログAGC値の設定・更新を所望のタイミングで正確に行なうことが可能になる。

【0135】

また、イニシャライゼーション時においても、制御部1580によって、デュアルビットマップ方式の場合にはNEXTシンボルを受信しているNEXT区間で、FEXTビットマップ方式の場合にはパイロットトーンのみを受信している区間で、アナログAGC値の設定・更新を行なうように制御してもよい。これは、加入者側受信装置2が主にFEXTシンボルを用いてイニシャライゼーションを行なうからである。以上は加入者側受信装置2におけるアナログAGC値の更新についてだが、局側ADSL装置650の受信装置においても同様の制御が可能である。なお、アナログAGC値の設定・更新は、比較的、誤差が許容できるユーザデータを受信している区間で行なってもよい。

【0136】

(3) 加入者側送信装置についての説明

前述したように、加入者側ADSL装置1には、局側送信装置910と同等の

機能をもった加入者側送信装置が設けられているが、上記の再同期処理を行なっているときに、この加入者側送信装置から局側ADSL装置650（局側受信装置）へ信号が送信されていると、その送信信号のクロストークなどが原因で局側送信装置910からの受信信号に雑音が加わってしまっていて、上記の再同期処理に影響する可能性がある。

【0137】

そこで、上述したごとくTTR310との同期外れが発生してからTTR310との再同期が確立されるまで、制御部1580によって、加入者側送信装置から局側ADSL装置650への信号の送信を停止させるようにしてもよい。このようにすることで、加入者側受信装置2にとっては、局側ADSL装置650への送信信号が、局側送信装置910からの受信信号に対する雑音となることを防ぐことができる。従って、TTR再同制御装置3では、上述したフレーム境界検出処理や信号の大きさ判定処理、相関演算処理による既知の信号（インバースシンクロナイゼーションシンボルI）の検出を容易、且つ、正確に行なうことができ、再同期制御をより安定させることができる。

【0138】

（B）変形例の説明

上述した実施形態では、大きさ判定ブロック1120において受信データの大きさを判定する基準値として、相関ブロック1150の相関元データメモリ502に保持されているデータの絶対値の最大値あるいはその最大値に任意のマージン値を加えた値を用いていたが、例えば、相関元データメモリ502に保持されているデータの絶対値の最小値あるいはその最小値に任意のマージン値を加えた値を用いても、同様の判定を行なうことが可能である。以下、その判定手法について説明する。

【0139】

まず、定常通信時には、既知の信号データ（インバースシンクロナイゼーションシンボルIのTEQ出力）がTTR再同期用のデータとして、上述したように相関ブロック1150の相関元データメモリ502に保持されるが、この場合、例えば図5に示すように、そのデータの絶対値の最小値あるいはその最小値に任

意のマージン値を加えた値を $|Min_b|$ とすると、この $|Min_b|$ に任意の係数 c_1 を乗じた値 $|Min_b| \times c_1$ を基準として、上記既知の信号データ（保持データ）の絶対値と比較し、既知の信号データの絶対値の方が $|Min_b| \times c_1$ よりも大きい場合は“1”を、そうでなければ“0”を、大きさ比較用メモリ 1 1 3 0 内の比較元メモリ 1 1 3 2 に保持しておく。

【0 1 4 0】

なお、図 5 に示す例では、比較元メモリ 1 1 3 2 のメモリアドレスが B (0) から B (7) までしか図示されていないが、実際は、前記の N を用いると B (N - 1) まで続いているものとする。また、この場合も、前述した理由により、相関元データメモリ 5 0 2 の内容が更新された場合は、その都度、比較元メモリ 1 1 3 2 の内容も更新される。

【0 1 4 1】

さて、かかる状態で、上述したように加入者側受信装置 2 が T T R 3 1 0 との同期外れを起こした場合、加入者側受信装置 2 では、T T R 再同期制御装置 3 によって、上述したように相関元データメモリ 5 0 2 に保持してあるデータを用いて T T R 再同期を行なうが、局側送信装置 9 1 0 から送信され、加入者側受信装置 2 で受信された信号は、相関ブロック 1 1 5 0 に入力される前に、まず大きさ判定ブロック 1 1 2 0 に入力される。

【0 1 4 2】

ここでは、上記の $|Min_b|$ に c_1 以下である任意の係数 c_2 を乗じた値 $|Min_b| \times c_2$ と大きさ判定ブロック 1 1 2 0 に入力された信号の絶対値とを比較する。そして、例えば $|Min_b| \times c_2$ よりも大きさ判定ブロック 1 1 2 0 に入力された信号の絶対値の方が大きければ、図 5 に示す例のように、比較先メモリ 1 1 3 3 のメモリアドレス J (i) ($i = 0 \sim N - 1$) に判定結果として“1”を入力し、そうでなければ“0”を保持する。なお、図 5 に示す例では、比較先メモリ 1 1 3 3 のメモリアドレスが J (0) から J (7) までしか図示されていないが、実際は、比較元メモリ 1 1 3 2 と同様に、上記の N を用いると J (N - 1) まで続いているものとする。

【0 1 4 3】

そして、上記の比較元メモリ $B(i) = 1$ となっている i のときの $J(i)$ を確認し、過去 1 シンボル分について全ての $J(i)$ が $J(i) = 1$ となっていれば、そのときの信号データが検出すべきデータ（インバースシンクロナイゼーションシンボル I の TEQ 出力）である確率が高いので、前述と同様に、フレーム境界検出ブロック 1 4 1 0 で検出されたフレーム境界情報によって特定されるフレームタイミングであれば、相関ブロック 1 1 5 0 の各 FET 5 0 1 - i を ON にする制御信号が制御信号生成部 1 1 8 0 によって生成されて、相関ブロック 1 1 5 0 での相関演算が実行される。

【0 1 4 4】

なお、全ての $J(i)$ が “1” となっていない場合は、制御信号生成部 1 1 8 0 によって、各 FET 5 0 1 - i を OFF に制御する制御信号が生成されて、相関ブロック 1 1 5 0 による相関演算は実行されない。例えば、図 5 に示す例では、 $B(i) = 1$ となっている i は “0”，“2”，“3”，“4”，“7” で、全ての $J(i)$ が “1” となっていない [$J(0)$ ， $J(2)$ ， $J(3)$ ， $J(4)$ ， $J(7)$ のうち “0” になっている $J(i)$ がある] ので、制御信号生成部 1 1 8 0 からの制御信号によって各 FET 5 0 1 - i が全て OFF に制御されて、相関演算は実行されないことになる。

【0 1 4 5】

その後、加入者側受信装置 2 が次の信号データを受信すると、大きさ判定ブロック 1 1 2 0 では、比較先メモリ 1 1 3 3 のメモリアドレス $J(0) \sim J(N-2)$ に保持されている結果が 1 つずつ、それぞれメモリアドレス $J(1) \sim J(N-1)$ に移動し、メモリアドレス $J(0)$ には新たに大きさ判定ブロック 1 1 2 0 に入力された上記の信号についての比較結果が保持される。以降、同様にして、信号の大きさ判定が行なわれて、相関ブロック 1 1 5 0 による相関演算の有効／無効が制御される。

【0 1 4 6】

つまり、本変形例では、大きさ比較用メモリ 1 1 3 0 が、比較元データメモリ 5 0 2 に保持された信号データの絶対値の最小値もしくはその最小値に任意のマージン値を加えた値 $|Min_b|$ に任意の係数 c_1 を乗じた値と、比較元デー

タメモリ 5 0 2 に保持された信号データの絶対値との大きさ比較結果を比較元メモリ 1 1 3 2 に保持する信号データ最小値保持部として機能するとともに、大きさ判定ブロック 1 1 2 0 及び制御信号生成部 1 1 8 0 が、上記比較元メモリ 1 1 3 2 の値が 1 であるサンプルにおいて、1 シンボルすべての上記受信データの絶対値が、 $|Min_b|$ に係数 c_1 以下の任意の係数 c_2 を乗じた値よりも大きい区間についてのみ、相関ブロック 1 1 5 0 相関演算を実行させる最小値判定型相関演算制御部として機能するのである。

【0 1 4 7】

従って、本変形例の場合も、フレーム境界検出ブロック 1 4 1 0 によって検出されたフレーム境界および上記の大きさ判定によりインバースシンクロナイゼーションシンボル I の T E Q 出力であると推定される区間についてのみ、相関ブロック 1 1 5 0 による上記相関演算が実行されるので、検出すべき信号データ以外の信号データが相関演算の対象になることがない。従って、無駄な相関演算処理が大幅に低減されて、再同期確立までの処理量を大幅に低減することができる。

【0 1 4 8】

(C) その他

なお、上述した実施形態およびその変形例における動作説明では、再同期用の既知の信号データとして、インバースシンクロナイゼーションシンボル I の T E Q 出力を相関元データメモリ 5 0 2 に保持しておく場合について説明したが、シンクロナイゼーションシンボル S を保持しておくようにしても、上記と同様に、T T R 3 1 0 との再同期をとることが可能である。

【0 1 4 9】

また、相関元データメモリ 5 0 2 には、インバースシンクロナイゼーションシンボル I、あるいは、シンクロナイゼーションシンボル S の T E Q 出力の平均値を保持しておくようにしても良い。このようにすれば、受信信号（保持する既知の信号）のメタリック回線 7 0 から受けた影響を時間的に平均化することができるので、より安定した再同期制御を行なうことができ、再同期制御の信頼の向上に寄与する。

【0 1 5 0】

さらに、上述した信号検出処理は、次のような手法によって実現してもよい。即ち、定常通信時に、シンクロナイゼーションシンボル S の T E Q 出力と、インバースシンクロナイゼーションシンボル I の T E Q 出力のそれぞれを再同期用の信号データとして保持しておき、同期外れが発生した場合は、まず、T E Q 出力（受信信号データ）からシンクロナイゼーションシンボル S の検出処理を実施する。そして、シンクロナイゼーションシンボル S と推定される信号が検出されれば、次に、インバースシンクロナイゼーションシンボル I の検出処理を実施し、インバースシンクロナイゼーションシンボル I と推定される信号が検出されれば、さらに、シンクロナイゼーションシンボル S の検出処理を実施する。

【 0 1 5 1 】

この結果、シンクロナイゼーションシンボル S と推定される信号が検出されれば、インバースシンクロナイゼーションシンボル I の挿入位置が決まっていることから、その前にインバースシンクロナイゼーションシンボル I として検出した信号が実際にインバースシンクロナイゼーションシンボル I であったと認識することができ、これにより、T T R 3 1 0 を特定することが可能となる。

【 0 1 5 2 】

このような手法を採れば、前述したような保護のための繰り返し処理を最小限にすることが可能になるので、さらに、再同期をとるまでの処理量、遅延時間を削減することができる。

また、上述した例では、相関ブロック 1 1 5 0 での相関演算量を削減するために、大きさ判定機能（大きさ判定ブロック 1 1 2 0 及び大きさ比較用メモリ 1 1 3 0）とフレーム境界検出機能（フレーム境界検出ブロック 1 4 1 0 及びフレーム境界検出用メモリ 1 4 3 0）との双方をそなえているが、これらのいずれか一方のみをそなえるだけでも、相関演算量を削減することは可能である。また、これらのいずれの機能もそなえずに、相関ブロック 1 1 5 0 において、全ての受信信号に対して相関演算を実施するようにしても、既知の信号を検出して T T R 3 1 0 との再同期をとることは可能である。

【 0 1 5 3 】

そして、本発明は、上記の実施形態およびその変形例に限定されず、上記以外

にも、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。

【0154】

【発明の効果】

以上詳述したように、本発明によれば、局側通信装置との同期が外れると、同期外れ後の受信データと、既に局側通信装置から送信され保持した信号データとで相関処理を行なうことで、同期タイミングを特定して局側通信装置との再同期を確立する。このとき、保持した信号データは、通信回線のもつ伝送特性に応じた影響（伝送損失）を受けているので、同じ通信回線を通じて受信される受信データの伝送損失を考慮した上での相関処理、ひいては、再同期制御を行なえることになる。従って、同期外れが発生しても、再同期を確立するために通信開始時の処理（イニシャライゼーション）からやり直す必要がなく、また、通信回線の伝送特性を考慮した確実な再同期確立を実現でき、速やかで、しかも、確実な、通信再開が実現できる（請求項1，10）。

【0155】

ここで、上記の相関処理では、例えば、定常通信時に局側通信装置から受信された信号データを保持しておき、上記同期外れが検出されると、保持しておいた信号データと、上記の同期外れ後の受信データとの相関を演算することにより、保持した信号データと相関の高い受信データを検出する。このようにすることで、確実に、保持した信号データと同等の特性をもった信号データを検出することができるので、確実な伝送周期の検出、ひいては、再同期制御を実現できる（請求項2，11）。

【0156】

なお、定常通信時に保持しておく信号データについては、或る区間に上記通信回線を介して受信された信号データの平均値であってもよく、このようにすれば、受信信号（保持する既知の信号）の通信回線から受けた影響を時間的に平均化することができるので、より安定した再同期制御を行なうことができ、再同期制御の信頼の向上に寄与する（請求項3）。

【0157】

また、上記の相関演算の際、上記の保持した信号データの絶対値の最大値もし

くはこの最大値に任意のマージン値を加えた値よりも絶対値の大きい受信信号については、保持した信号データとの相関が低いと考えられるので、相関演算の対象から外すようにすれば、相関演算量を削減することができるので、再同期確立までの処理量を大幅に低減することができる（請求項 4， 1 2）。

【 0 1 5 8 】

なお、上記とは別の態様として、保持した信号データの絶対値の最小値もしくはこの最小値に任意のマージン値を加えた値に任意の係数を乗じた値と、保持した信号データの絶対値との大きさ比較で保持した信号データの絶対値の方が大きいサンプルにおいて、1 シンボルすべての受信データの絶対値が、上記の保持データの絶対値の最小値もしくはその最小値に任意のマージン値を加えた値に上記係数以下の任意の係数を乗じた値よりも大きいとはいえない場合について、保持した信号との相関が低いと考えられるので、その信号データを相関演算対象から外すようにすれば、上記と同様に相関演算量を削減することができるので、再同期確立までの処理量を大幅に低減することができる（請求項 5， 1 3）。

【 0 1 5 9 】

また、上記同期外れが検出された場合、受信データのうち先頭側および末尾側の各サイクリックプリフィックス長分の信号データの相関に基づいて、その受信データのフレーム境界を検出（特定）して、そのフレーム単位で相関演算を実行するようにすれば、検出すべき信号データ以外の信号データが相関演算対象になることがないので、無駄な相関演算処理が低減されて、この場合も、再同期確立までの時間を大幅に短縮することができる（請求項 6， 1 4）。

【 0 1 6 0 】

さらに、加入者側通信装置が上記の局側通信装置からの信号データについて所定の等化係数を更新しながら適応的に等化処理を施す等化器をそなえている場合、上記同期外れが検出された後、再同期を確立するまで、上記の等化係数の更新を行なわせないようにすれば、同期外れ発生中の信頼性の低い受信信号に基づいて上記等化係数が更新されてしまうことを回避することができるので、再同期確立後の通信を同期外れ発生前と同等に安定させることができる（請求項 7）。

【 0 1 6 1 】

また、加入者側通信装置が局側通信装置からの信号データについて所定の利得係数を更新しながら適応的に利得増幅処理を施す利得増幅部をそなえている場合についても、上記同期外れが検出された後、再同期を確立するまで、上記利得係数の更新を行なわせないようにすれば、上記利得係数についても、同期外れ発生中の信頼性のない受信信号に基づいて更新されてしまうことを回避することができるので、やはり、再同期確立後の通信を同期外れ発生前と同等に安定させることができる（請求項 8）。

【0162】

また、同期外れが検出された場合は、再同期を確立するまで、局側通信装置への送信を停止させるようにすれば、局側通信装置への送信信号による上記受信信号に対するクロストークなどの影響をなくすことができるので、再同期制御をより安定させることができる（請求項 9）。

【図面の簡単な説明】

【図 1】

本発明の一実施形態としての加入者側 ADSL 装置（加入者側通信装置）の受信側ブロック（受信装置）に着目した構成を示すブロック図である。

【図 2】

図 1 に示す相関ブロックに着目した加入者側受信装置の詳細構成を示すブロック図である。

【図 3】

図 1 に示す大きさ比較用メモリの構成例を示すブロック図である。

【図 4】

図 1 に示すフレーム境界検出ブロックに着目した加入者側受信装置の詳細構成を示すブロック図である。

【図 5】

図 1 に示す大きさ判定ブロックでの処理の変形例を説明するための図である。

【図 6】

ADSL 伝送システムの一例を示すブロック図である。

【図 7】

A D S L 通信 (D M T 変調方式) で使用されるキャリアを説明するための図である。

【図 8】

(A) ～ (F) はいずれもサイクリックプリフィックスを用いた D M T 信号の I S I 除去方法を説明するための模式図である。

【図 9】

図 6 に示す T E Q に着目した加入者側受信装置の構成例を示すブロック図である。

【図 1 0】

図 6 に示す F E Q に着目した加入者側受信装置の構成例を示すブロック図である。

【図 1 1】

A D S L 回線の近くに I S D M ピンポン伝送回線 (T C M 回線) が存在する場合のシステム構成例を示すブロック図である。

【図 1 2】

(A) ～ (E) は T C M 回線上での信号送受信タイミングと A D S L 回線上での信号送受信タイミングとの関係を説明するためのタイミングチャートである。

【図 1 3】

(A) ～ (C) はいずれも A D S L 通信における信号のフレーム構成を説明するための図である。

【図 1 4】

(A) 及び (B) はそれぞれシンクロナイズーションシンボルとインバースシンクロナイズーションシンボルの位相関係を説明するための図である。

【図 1 5】

(A) 及び (B) はそれぞれ F E X T シンボル及び N E X T シンボルによる T T R の位相情報の通知方法を説明するための図である。

【符号の説明】

- 1 加入者側 A D S L 装置 (加入者側通信装置)
- 2 (加入者側) 受信装置

3 T T R 再同期制御装置

1 0 シリアルーパラレルバッファ

2 0 エンコーダ (Encoder)

3 0 逆高速フーリエ変換器 (I F F T : Inverse Fast Fourier Transformer

)

4 0 , 1 4 0 パラレルーシリアルバッファ

5 0 デジタル／アナログ (D / A) コンバータ

6 0 送信ビットマップメモリ

7 0 メタリック回線 (A D S L 回線)

7 0 ' I S D N ピンポン伝送回線 (T C M 回線)

8 0 アナログ／デジタル (A / D) コンバータ

9 0 T E Q (時間等化器)

1 0 0 シリアルーパラレルバッファ

1 1 0 高速フーリエ変換器 (F F T : Fast Fourier Transformer)

1 2 0 F E Q (周波数等化器)

1 3 0 デコーダ (Decoder)

1 5 0 受信ビットマップメモリ

1 6 0 A G C (Automatic Gain Controller)

1 7 0 (アナログ信号用) 乗算器

1 8 0 (デジタル信号用) 乗算器

3 1 0 T T R (TCM-ISDN Timing Reference)

3 2 0 , 3 5 0 N E X T (Near End Cross Talk)

3 3 0 , 3 4 0 F E X T (Far End Cross Talk)

3 6 0 D M T (Discrete Multiple Tone) シンボル

3 7 0 スライディングウインドウ

4 0 1 - 1 ~ 4 0 1 - (N + L - 1) レジスタ

4 0 2 - 1 ~ 4 0 2 - L 乗算器

4 0 3 - 1 ~ 4 0 3 - (L - 1) 加算器

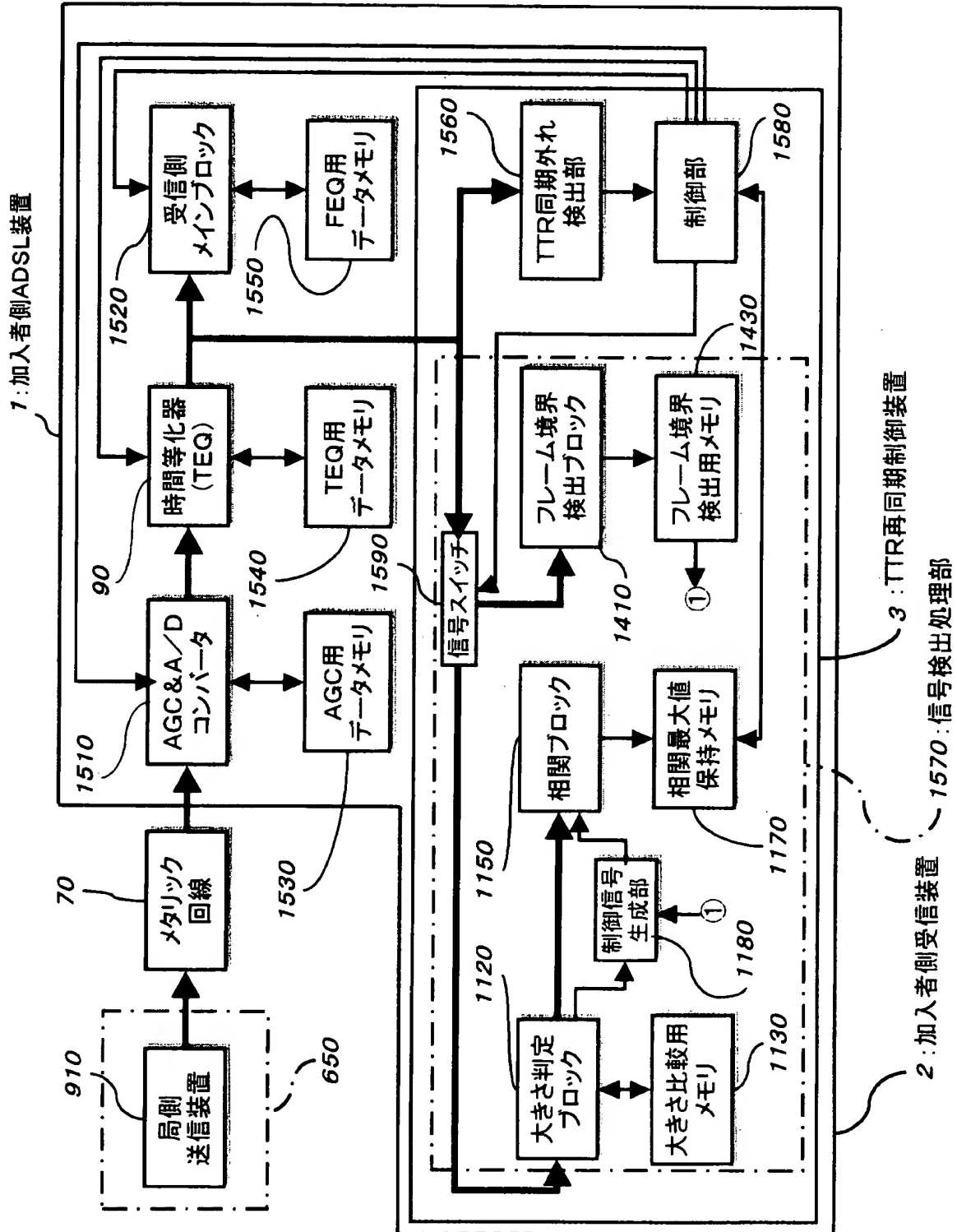
4 0 4 コンパレータ

- 4 1 0 ユーザデータ用 A D S L フレーム
- 4 2 0 スーパーフレーム
- 4 3 0 ハイパーフレーム
- 5 0 0 - 1 ~ 5 0 0 - (N - 1) レジスタ
- 5 0 1 - 0 ~ 5 0 1 - (N - 1) F E T (ゲートスイッチ)
- 5 0 2 信号保持部
- 5 0 2 - 0 ~ 5 0 2 - (N - 1) 乗算器
- 5 0 3 - 1 ~ 5 0 3 - (N - 1) 加算器
- 5 0 4 コンパレータ
- 6 1 0 局側
- 6 2 0 加入者側
- 6 3 0 (局側) I S D N 装置
- 6 4 0 (加入者側) I S D N 装置
- 6 5 0 (局側) A D S L 装置
- 6 6 0 (加入者側) A D S L 装置
- 6 7 0 T T R の位相情報
- 9 1 0 (局側) 送信装置 (送信側ブロック)
- 9 2 0 基準信号生成ブロック
- 9 3 0 遅延器
- 9 4 0 ターゲットチャネルブロック
- 9 5 0 加算器
- 9 6 0 受信装置 (受信ブロック)
- 1 0 1 0 係数器
- 1 0 2 0 加算器
- 1 0 3 0 判定ブロック
- 1 1 2 0 大きさ判定ブロック
- 1 1 3 0 大きさ比較用メモリ
- 1 1 3 1 大きさ判定結果メモリ
- 1 1 3 2 比較元メモリ

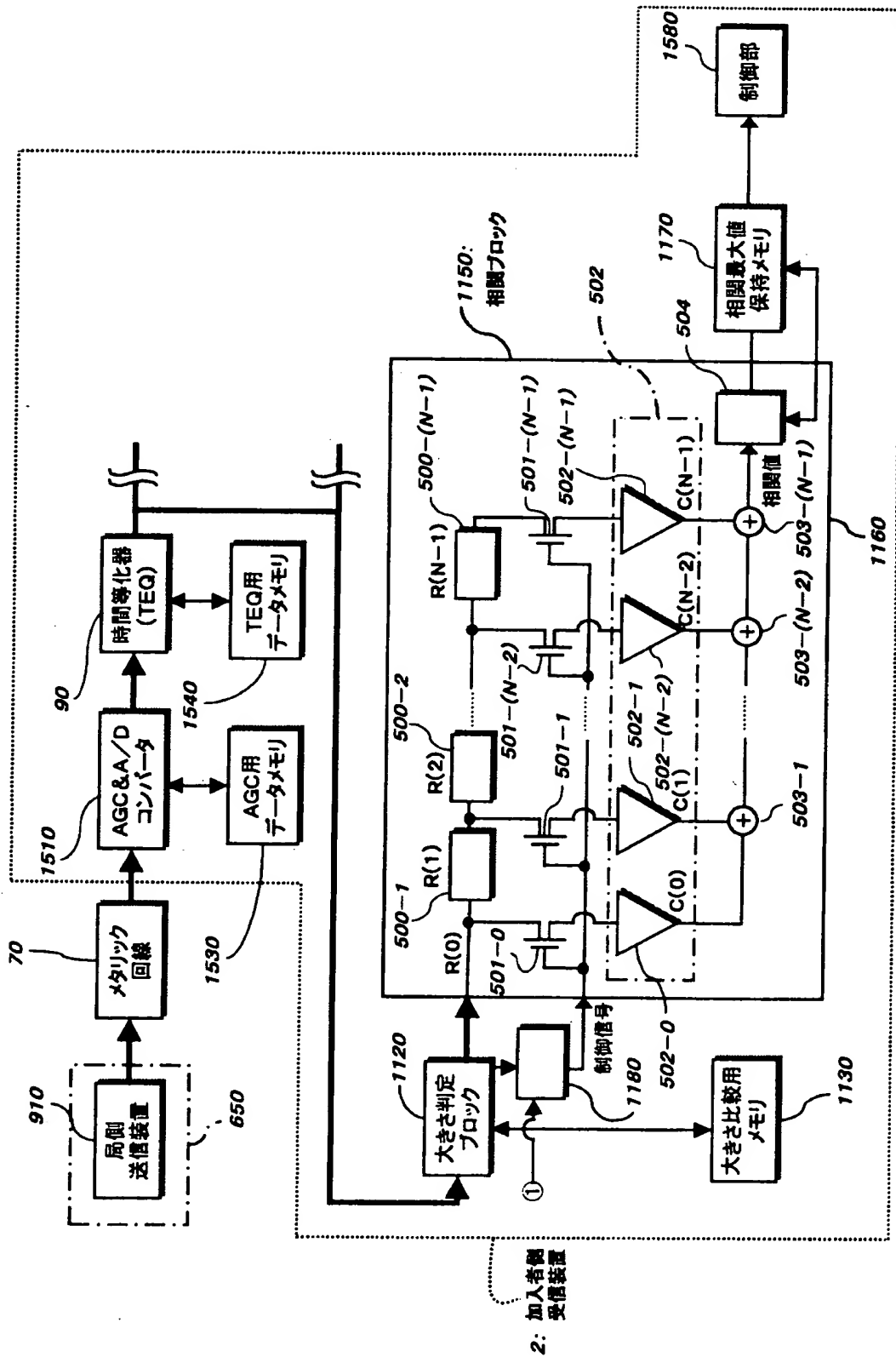
- 1 1 3 3 比較先メモリ
- 1 1 5 0 相関ブロック (相関演算部)
- 1 1 6 0, 1 4 2 0 相関値
- 1 1 7 0 相関最大値保持メモリ
- 1 1 8 0 制御信号生成部
- 1 4 1 0 フレーム境界検出ブロック
- 1 4 3 0 フレーム境界検出用メモリ
- 1 5 1 0 A G C & A / D コンバータ
- 1 5 2 0 受信側メインブロック
- 1 5 3 0 A G C 用 データメモリ
- 1 5 4 0 T E Q 用 データメモリ
- 1 5 5 0 F E Q 用 データメモリ
- 1 5 6 0 T T R 同期外れ検出部
- 1 5 7 0 信号検出処理部 (相関処理部)
- 1 5 8 0 制御部 (再同期制御部)
- 1 5 9 0 信号スイッチ
- S シンクロナイゼーションシンボル
- I インバースシンクロナイゼーションシンボル

【書類名】 図面

【図 1】



【図 2】



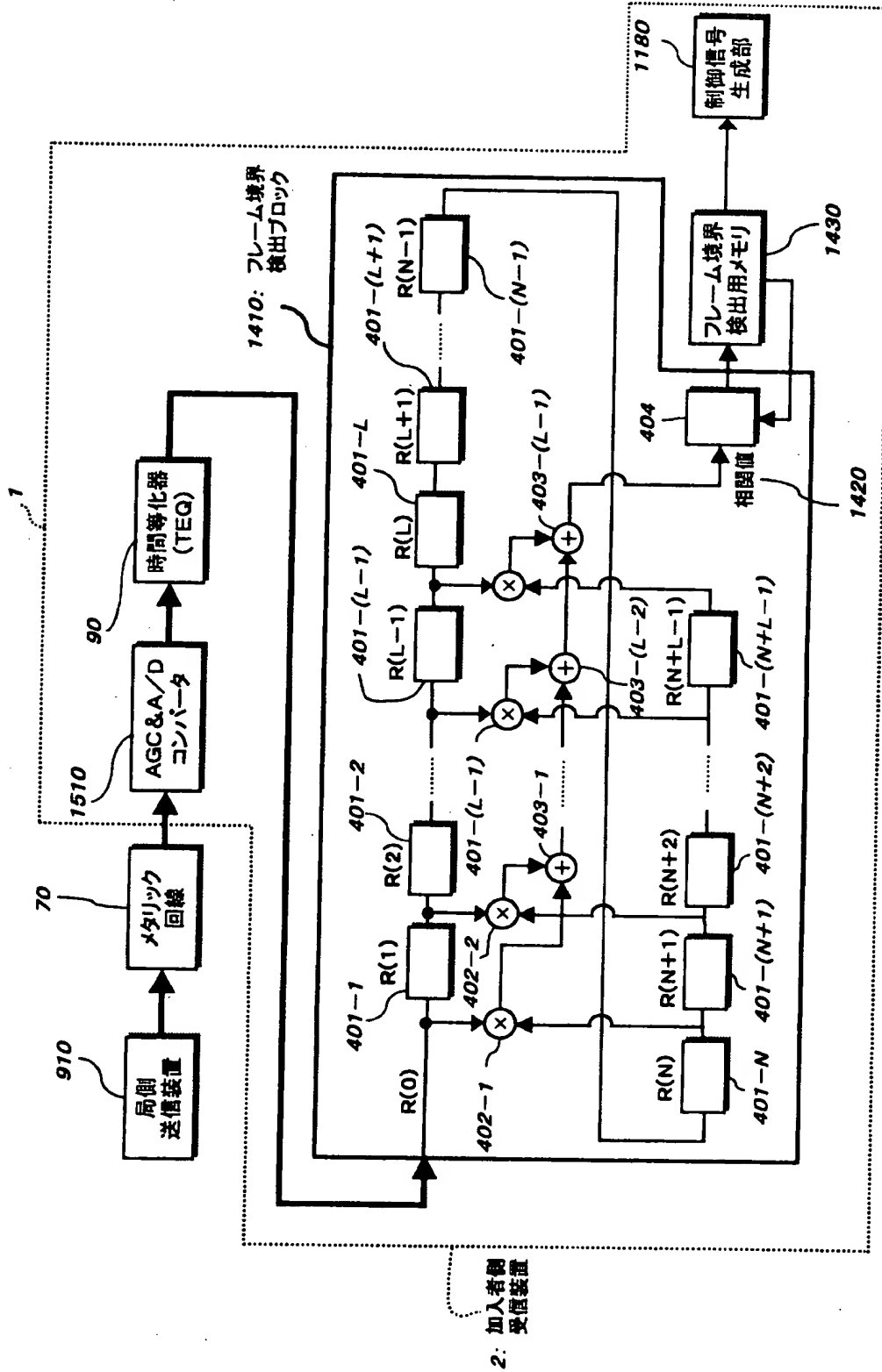
【図 3】

1130: 大きさ比較用メモリ

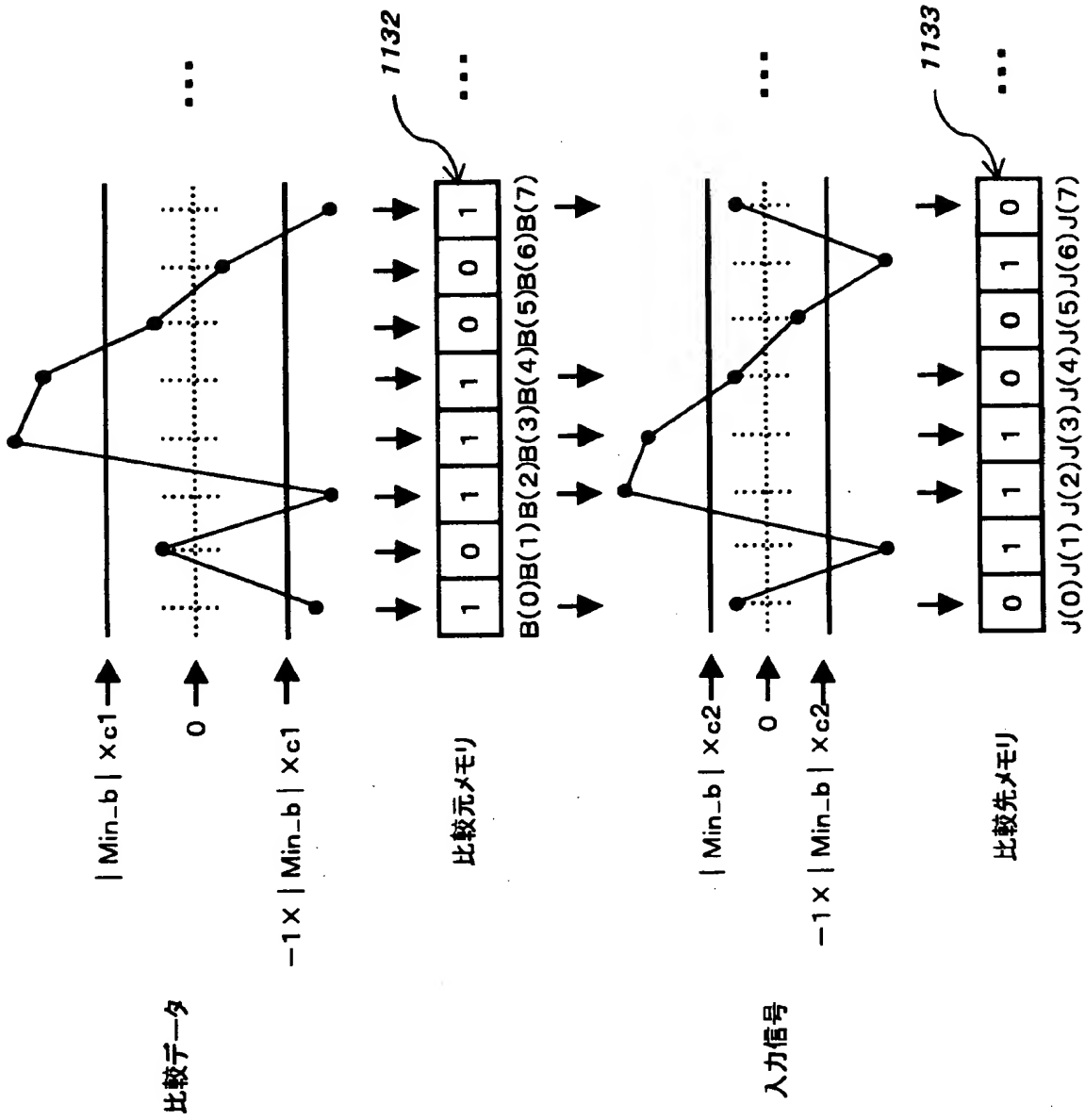
メモリ番号	判定結果
J(0)	1
J(1)	1
J(2)	1
⋮	
J(N-2)	1
J(N-1)	1

1131: 大きさ判定結果メモリ

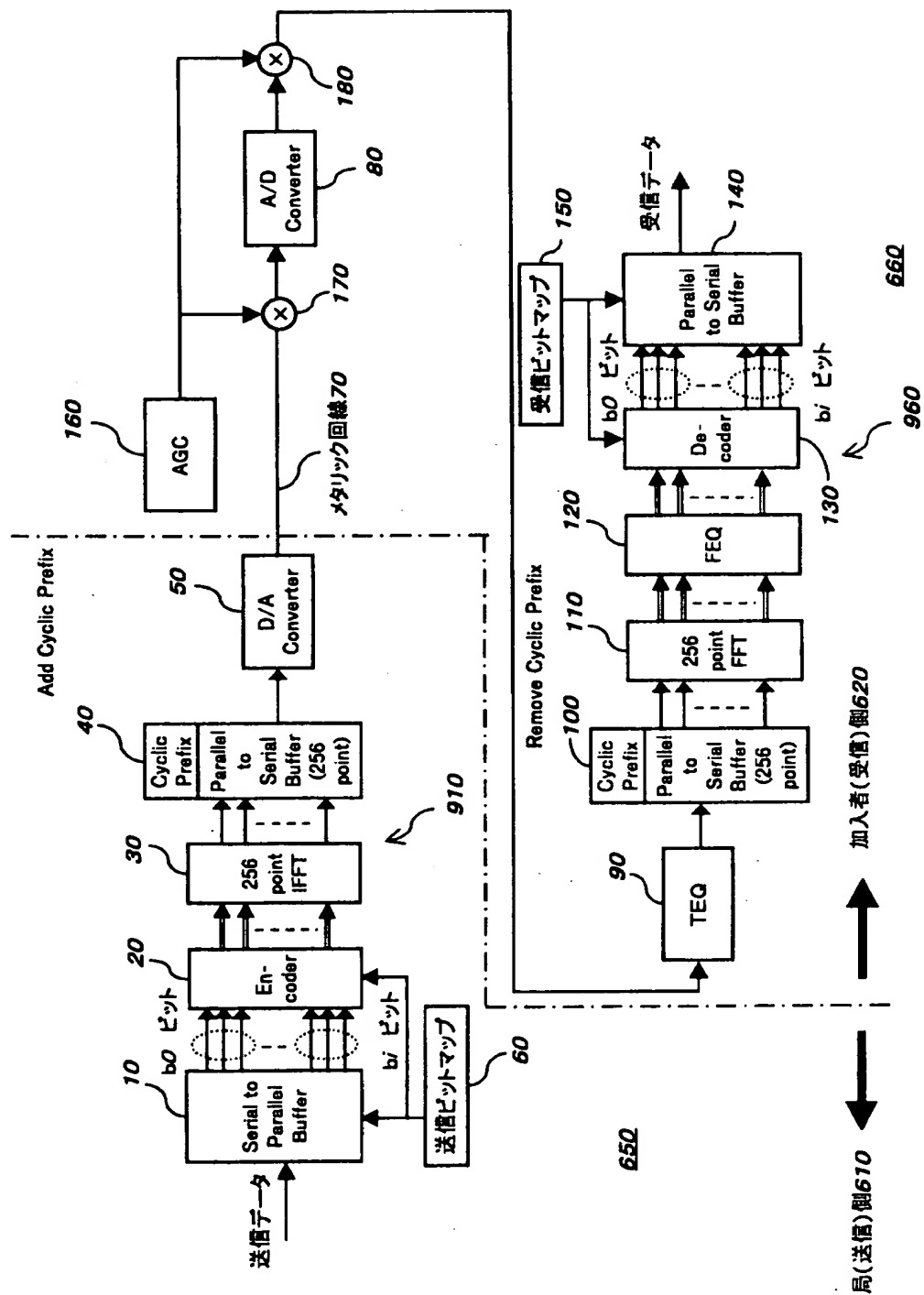
【図 4】



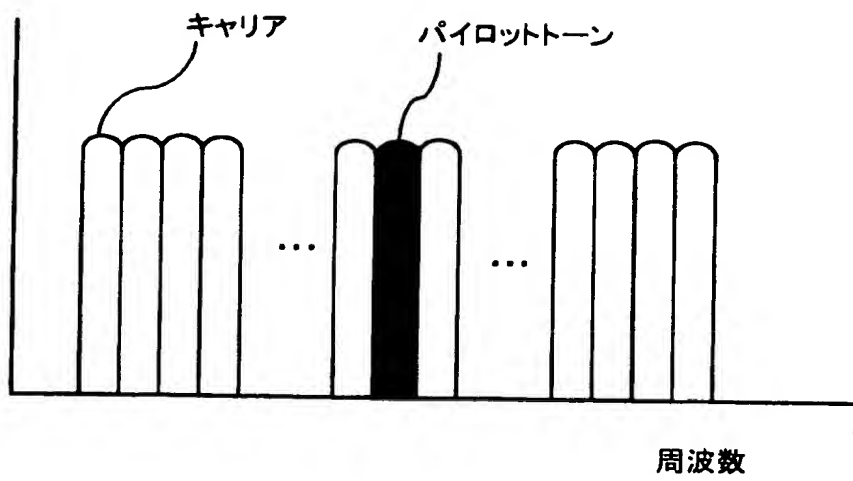
【図 5】



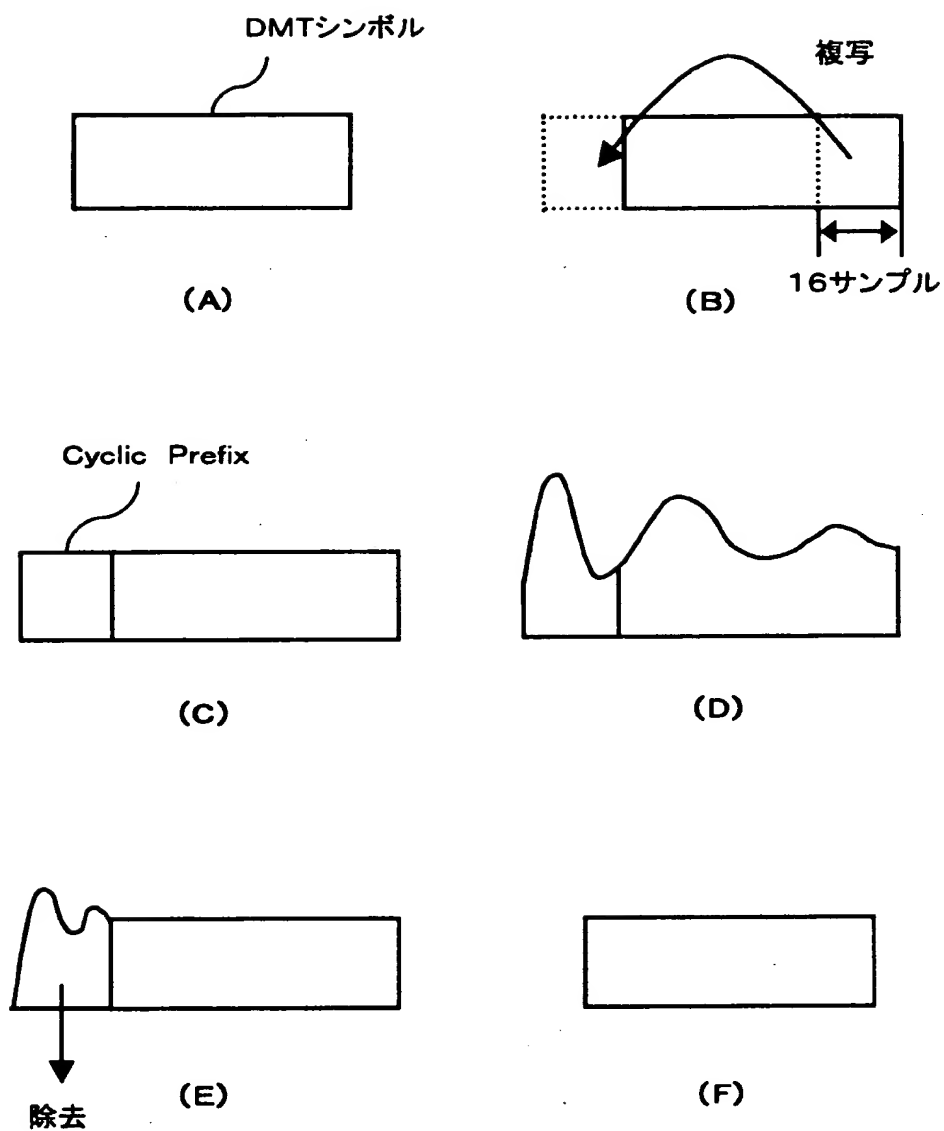
【図 6】



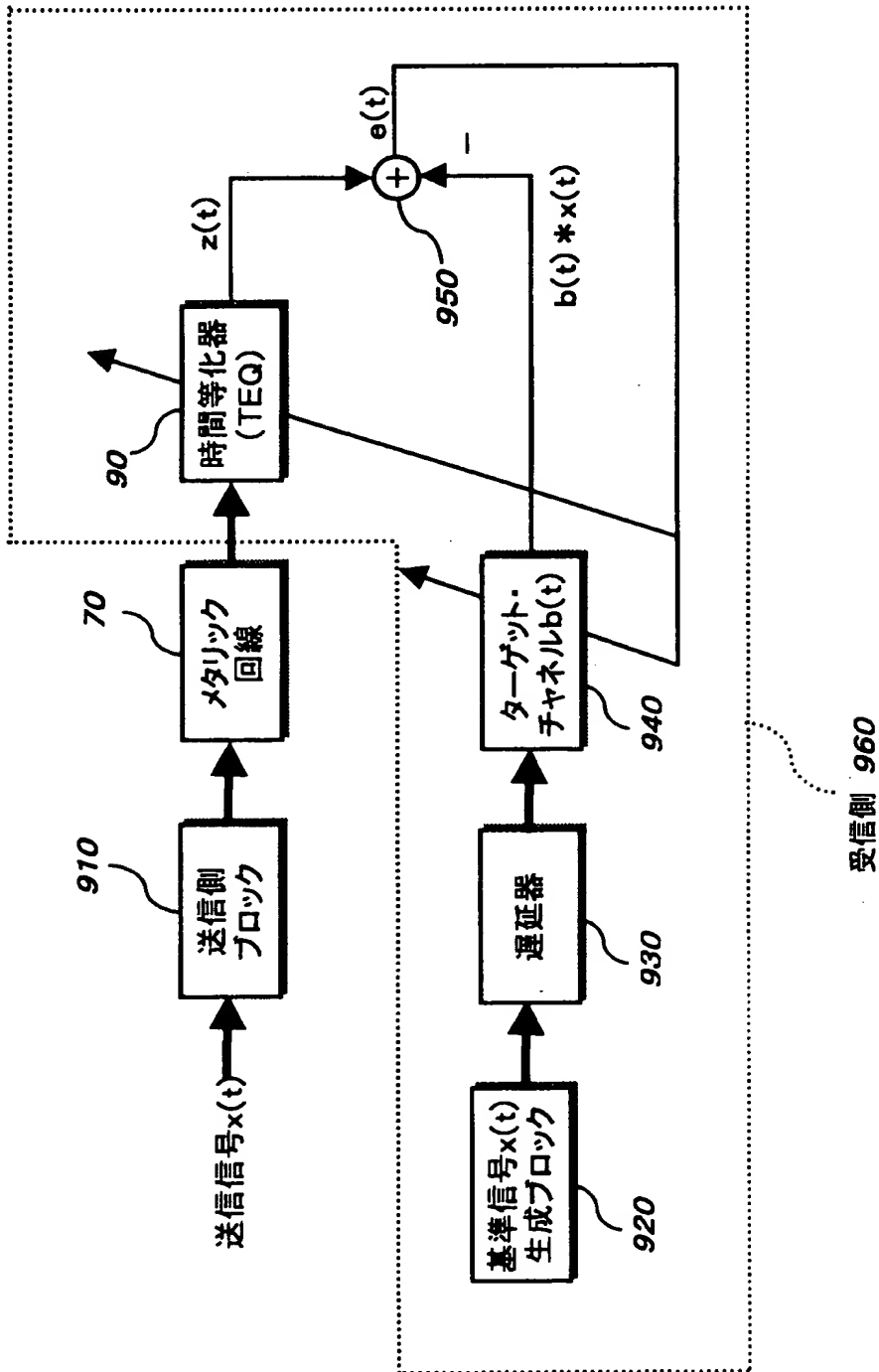
【図 7】



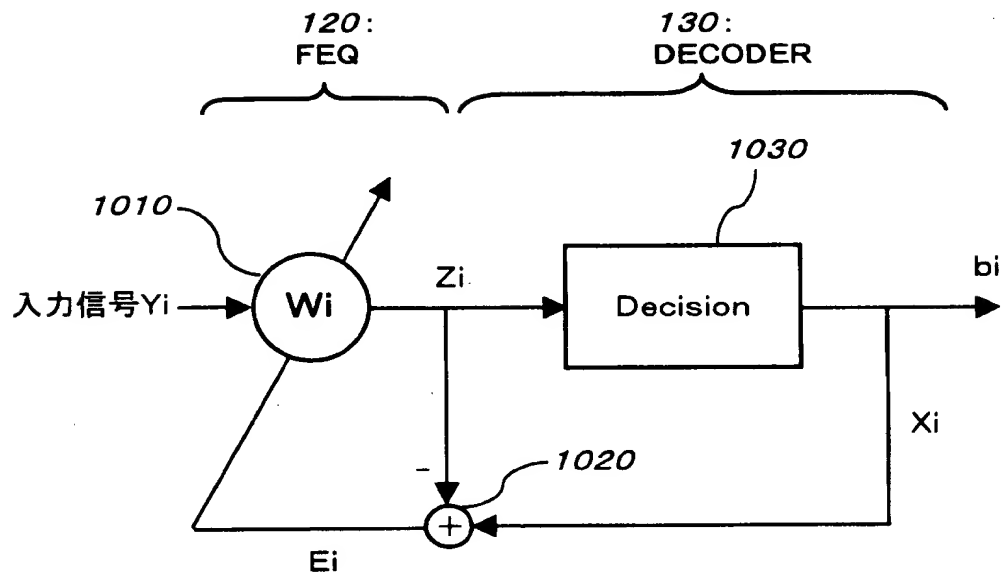
【図 8】



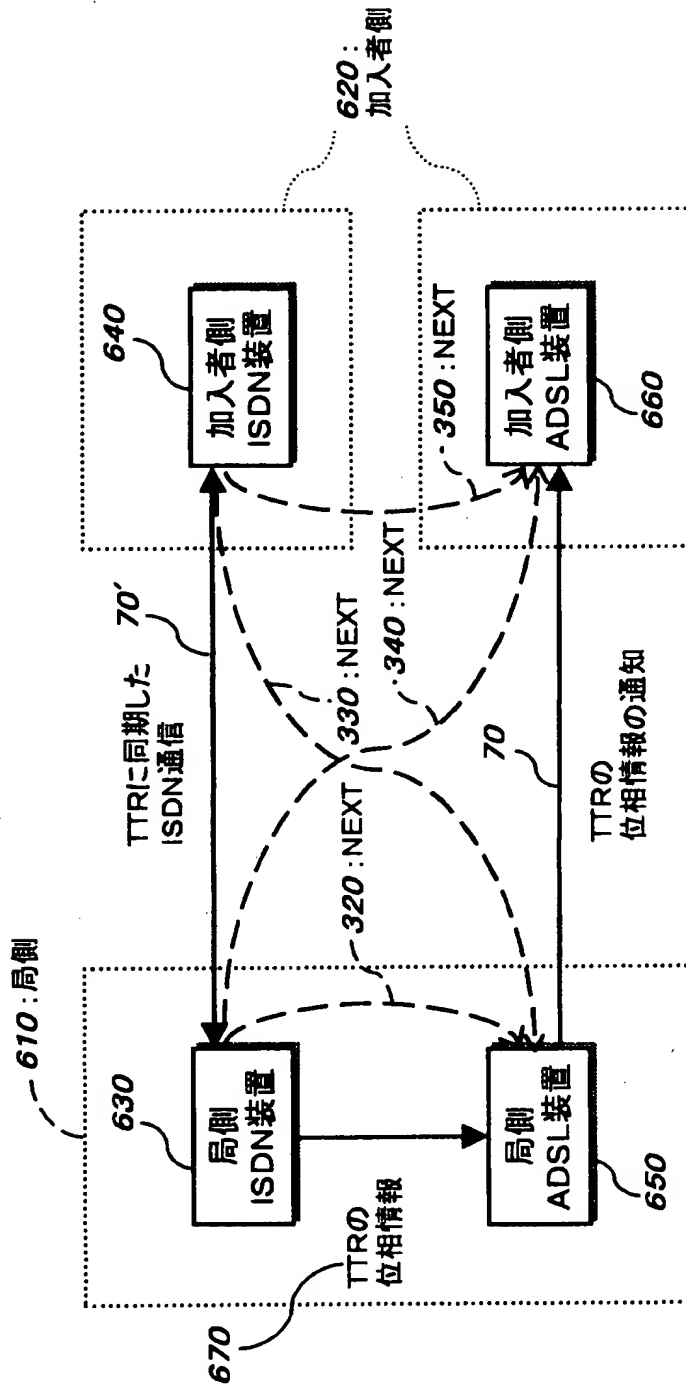
【図 9】



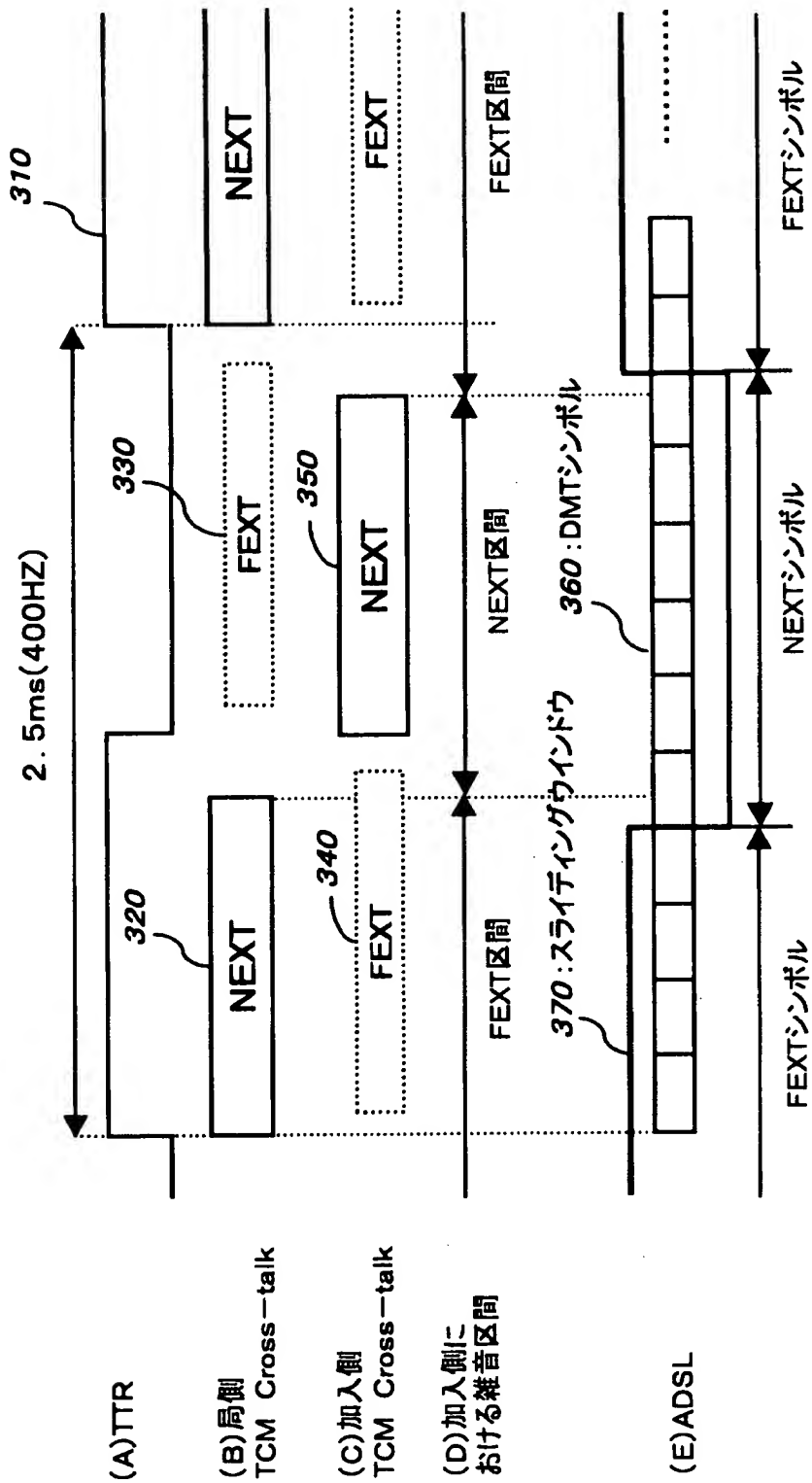
【図 1 0】



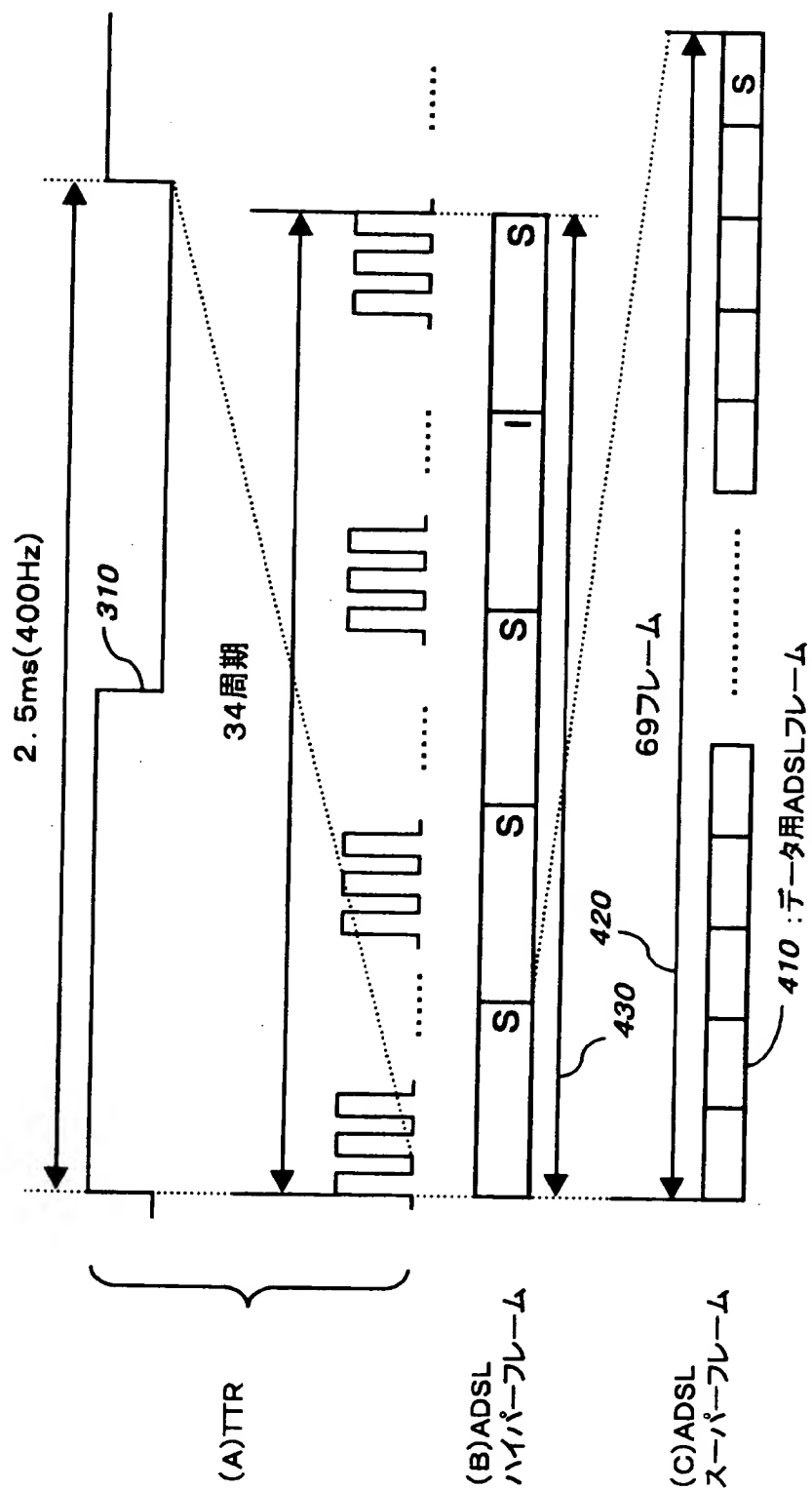
【図 11】



【図 1 2】



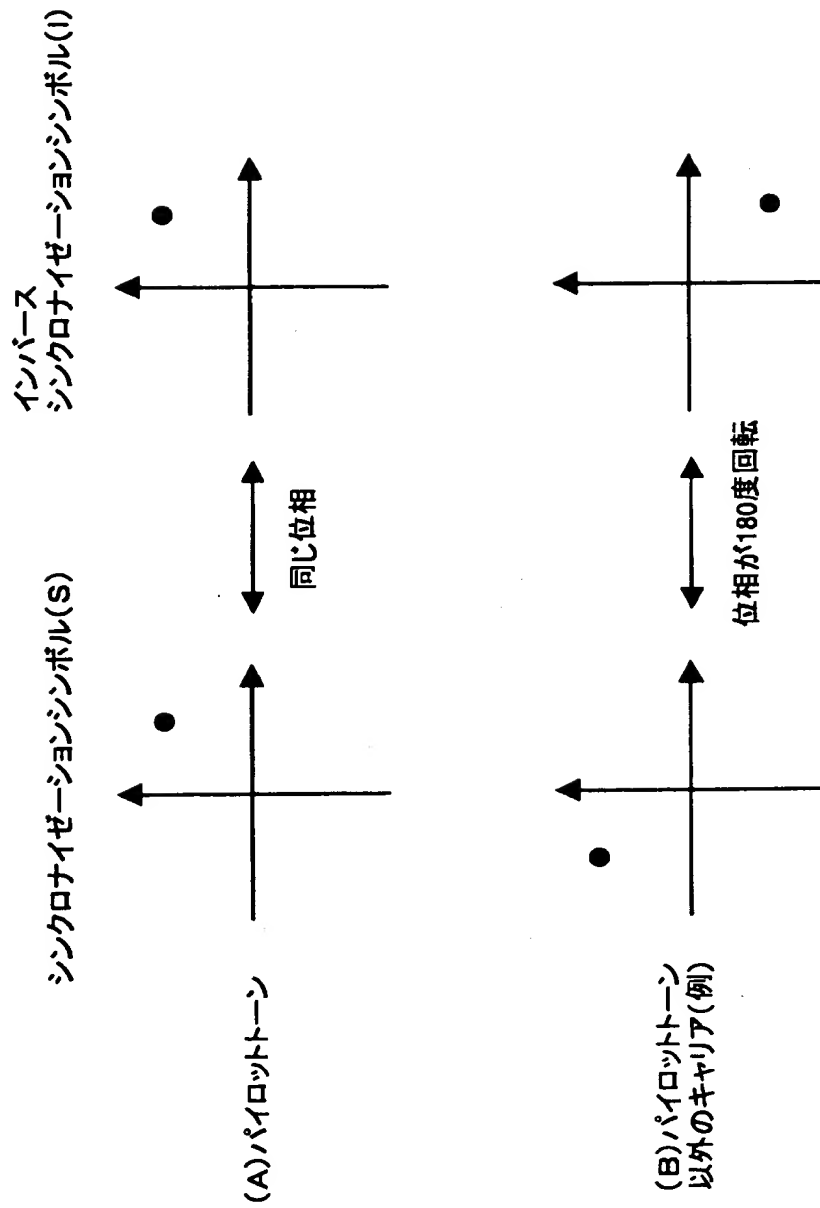
【図 13】



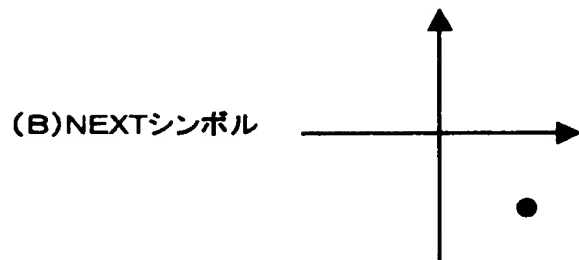
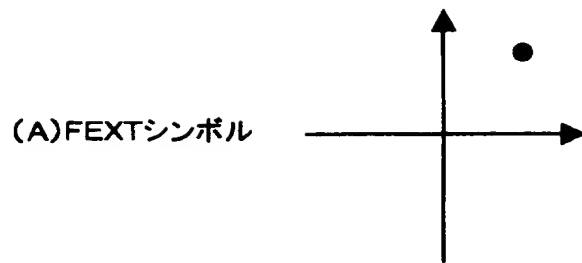
S...シンクロナイゼーションシンボル

ト…インパースシンクロナイズーセッションシンボル

【図 14】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 定常通信時に加入者側通信装置が、TCMなどの所定の伝送方式での伝送周期との同期を維持できなくなった場合に、再度、イニシャライゼーションからやり直すことなく、速やかに通信を再開できるようにする。

【解決手段】 加入者側通信装置 2 に、局側通信装置 6 5 0 との通信の同期外れを検出する同期外れ検出部 1 5 6 0 と、この同期外れ検出部 1 5 6 0 にて同期外れが検出されると、通信回線 7 0 を介して受信される受信データと、既に局側通信装置 6 5 0 から送信され保持したデータとで相関処理を行なう相関処理部 1 5 7 0 と、この相関処理部 1 5 7 0 での相関処理により同期タイミングを特定して局側通信装置 6 5 0 との通信の再同期を確立する再同期制御部 1 5 8 0 とを設ける。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日

1996年 3月26日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中4丁目1番1号

氏 名

富士通株式会社